

12. GEÏNTEGREERDE SCHAKELINGEN

Tot nog toe hebben we in schakelingen met versterkende elementen en dergelijke steeds enkelvoudige elementen toegepast, dat wil zeggen, FET's, transistoren en buizen. Er is echter geen enkele reden waarom op bijvoorbeeld een stukje siliciumkristal niet meer dan één transistor of FET tegelijk zou kunnen worden gemaakt. Er zijn tegenwoordig dan ook erg veel elektronica-onderdelen in omloop, waarin veel of zelfs heel veel halfgeleider-elementen (transistoren, FET's, dioden) op één stukje halfgeleidermateriaal (chip) zijn aangebracht. Het is ook mogelijk (maar minder eenvoudig) om weerstanden en condensatoren op een silicium chip te maken. Men kan zo op één stukje silicium complete schakelingen fabriceren van een ingewikkeldheid die met losse of discrete componenten niet of slechts met veel moeite te maken zouden zijn. Zulke schakelingen noemt men geïntegreerde schakelingen. Ze staan ook bekend onder de afkorting *IC* van het Engelse "Integrated Circuit".

Er zijn IC's in de handel voor de meest uiteenlopende toepassingen. Omdat ze gemakkelijk in grote series kunnen worden gemaakt, zijn ze vaak, zeker gemeten naar hun prestaties, erg goedkoop. Het is mogelijk met IC's ingewikkelde schakelingen te vervaardigen die desondanks zeer kleine afmetingen hebben. Denk b.v. aan elektronische horloges of micro-computers. We zullen in deze cursus niet ingaan op fabricagemethoden. Evenmin zullen we alle toepassingen van IC's behandelen. We zullen ons beperken tot IC's die in de praktijk van de zendamateur van belang zijn en waarvan om die reden bij het zendexamen enige kennis omtrent de toepassing wordt verlangd. Dit zijn achtereenvolgens:

- operationele versterkers
- digitale schakelingen
- faseus schakelingen en synthesizers

Hoewel in databoeken en specificatiebladen van IC's vaak al dan niet vereenvoudigde schema's van het inwendige van IC's worden gegeven, is het zelden nodig de inwendige werking van IC's precies te kennen om er een schakeling mee te kunnen maken. Het is vrijwel steeds voldoende, de functie van de verschillende aansluitingen te kennen. We zullen ons in dit hoofdstuk dan ook weinig met de inwendige opbouw van IC's bezighouden, voornamelijk omdat kennis daarvan op het examen niet wordt gevraagd.

12.1 Operationele versterkers

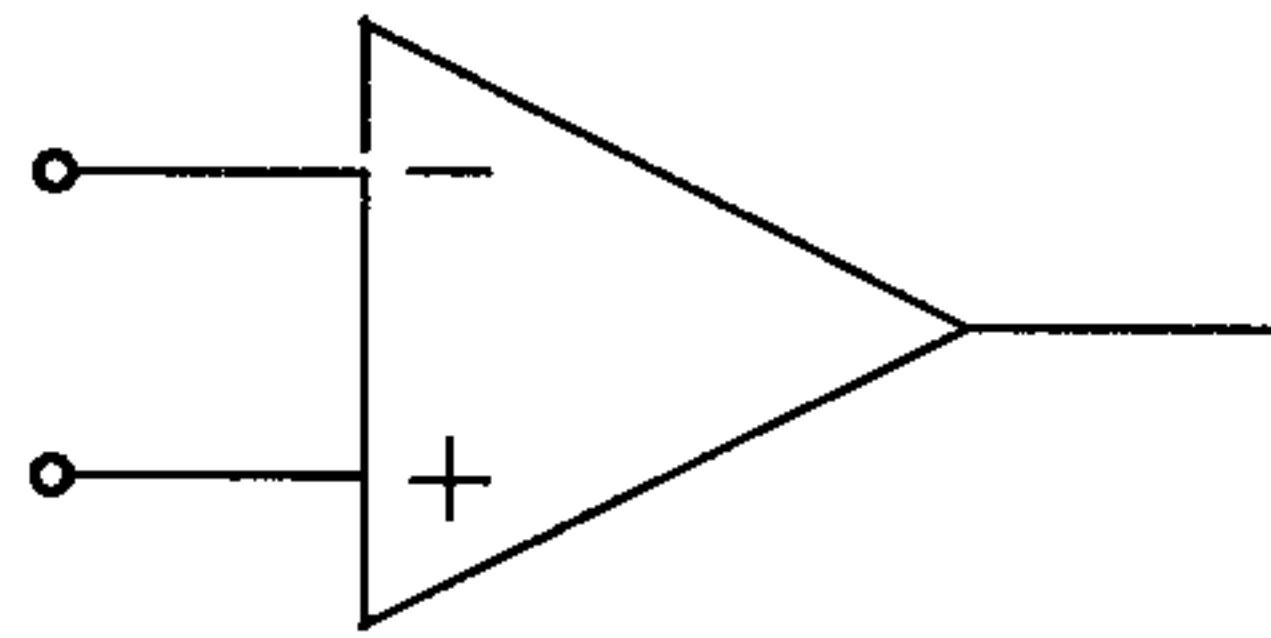
Inleiding

De naam operationele versterker is een letterlijke, maar niet al te fraaie vertaling van de Engelse term "OPerational AMPlifier" ook wel *opamp* genoemd. Het woord operation betekent o.a. (wiskundige of rekenkundige) bewerking. De opamp is oorspronkelijk afkomstig uit de analoge rekentechniek. Deze rekentechniek is door de opmars van de digitale computers sterk op de achtergrond geraakt.

De toepassingen voor zendamateurs liggen voornamelijk op het gebied van de laagfrequente schakelingen en besturingssystemen.

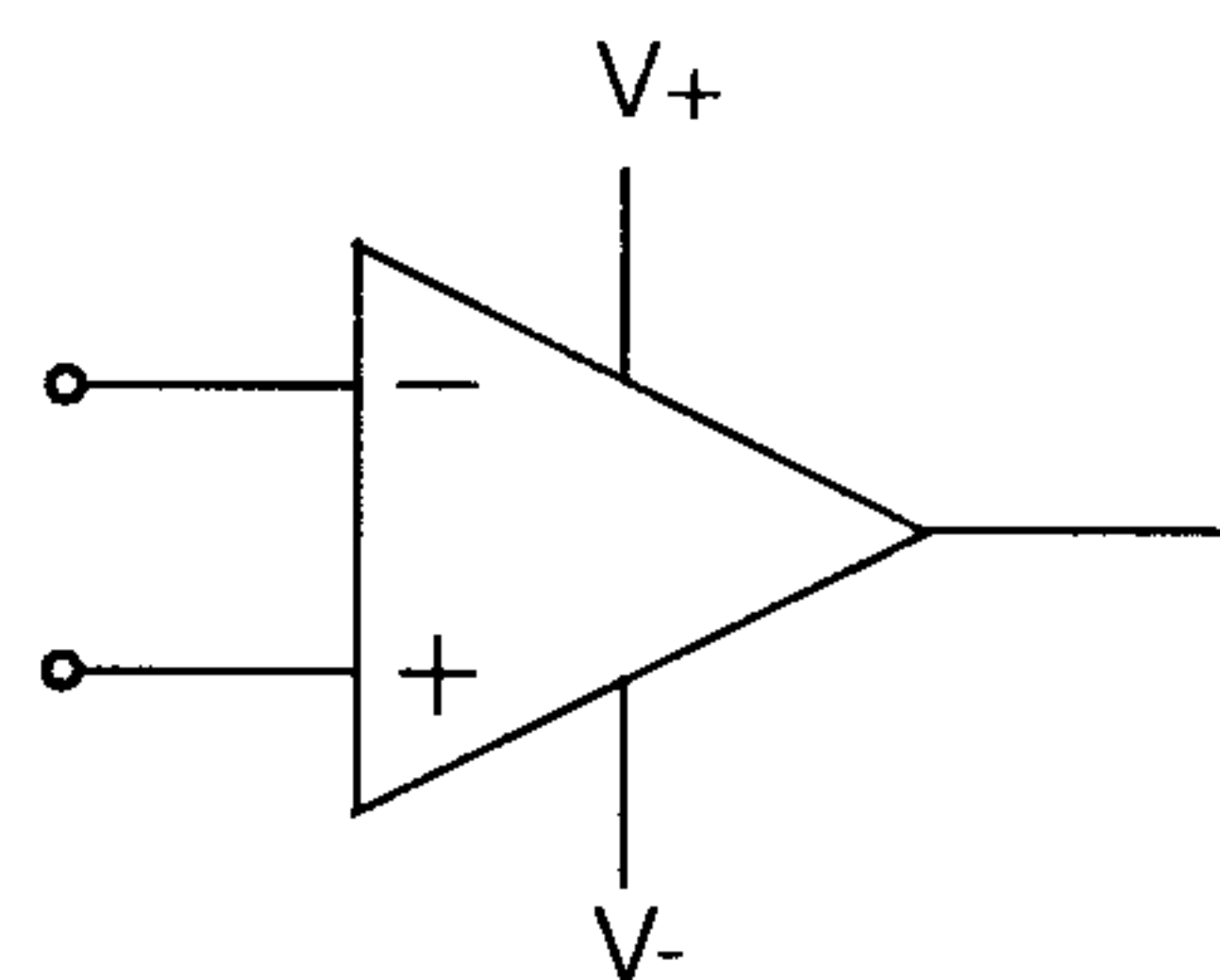
Eigenschappen

De opamp versterkt behalve wisselspanning ook gelijkspanning. Het is in feite een verschilversterker. Het schemasymbool staat in figuur 12.1-1.



Figuur 12.1-1 Schemasymbool van een verschilversterker.

Er zijn 2 ingangen (een '+' en een '-') en 1 uitgang. De spanning op de uitgang wordt bepaald door het spanningsverschil tussen de twee ingangen. Dat betekent dat de ingangen een tegengestelde werking moeten hebben: een spanningsstijging op de ene ingang heeft hetzelfde effect als een even grote spanningsdaling op de andere. De ingang, die bij een hogere ingangsspanning een lagere uitgangsspanning veroorzaakt, heet de inverterende (omkerende) ingang. Deze wordt in figuur 12.1-1 aangeduid met een '-'. De andere ingang (hogere ingangsspanning hogere uitgangsspanning) heet de niet-inverterende ingang en wordt in figuur 12.1-1 aangeduid met '+'.
 De ideale opamp heeft de volgende eigenschappen:



Figuur 12.1-2 Een verschilversterker met voedingsaansluitingen.

Vanzelfsprekend heeft de versterker een voedingsspanning nodig. In schema's wordt deze, ter wille van de overzichtelijkheid, meestal niet ingetekend. In veel schakelingen wordt een voedingsspanning toegepast welke symmetrisch is ten opzichte van 0 V, bijv. -15 V en +15 V (zie figuur 12.1-2). Soms wordt een enkelvoudige voedingsspanning toegepast; in dat geval behoort bij gelijke ingangsspanningen de uitgangsspanning praktisch op de halve voedingsspanning te liggen. Bij symmetrische voeding ten opzichte van 0 V en gelijke ingangsspanningen is de uitgang ook ongeveer 0 V (eveneens de halve voedingsspanning). In het vervolg van dit hoofdstuk zullen we stilzwijgend uitgaan van symmetrische voedingsspanningen.

De ideale opamp heeft de volgende eigenschappen:

1. De spanningsversterking is oneindig groot.
2. De ingangsweerstand is oneindig groot.

3. De ingangsstroom is nul (dit volgt niet zonder meer uit de oneindige ingangsweerstand; die is ook oneindig als er een ingangsstroom is die niet veranderd met de ingangsspanning).
4. De uitgangsweerstand is 0Ω .
5. Bij een spanningsverschil tussen de ingangen van 0 V is de uitgangsspanning gelijk aan de halve voedingsspanning.
6. De uitgangsspanning reageert zonder vertraging op veranderingen in de ingangsspanning (d.w.z. gelijke versterking zonder faseverschuiving behalve 180° ten opzichte van de inverterende ingang: van gelijkspanning tot een oneindig hoge frequentie).

Het zal duidelijk zijn dat een ideale opamp niet bestaat. De kwaliteit van een wel bestaande versterker wordt afgemeten naar de mate waarin hij genoemde ideale eigenschappen benadert. Voor het beschrijven van een aantal schakelingen met opamps zullen we uitgaan van ideale eigenschappen. Een versterker met een aan oneindig grenzende versterking is in de meeste gevallen een onbruikbaar ding. In de praktijk wordt daarom vrijwel steeds die versterking tot een hanteerbare grootte teruggebracht door tegenkoppeling. De opamp leent zich daar, door de inverterende ingang, heel goed voor. Immers, de uitgang is altijd in tegenfase met deze ingang.

Tegenkoppeling bij een opamp loopt daarom via de *inverterende* ingang. De spanningsversterking zonder tegenkoppeling heet de *openlus versterking* (open loop gain); deze is doorgaans aanmerkelijk groter dan 10.000. Hoe groter de openlus versterking, des te meer worden de eigenschappen van een tegengekoppelde schakeling bepaald door de eigenschappen van de componenten in de tegenkoppellus, in plaats van de eigenschappen van de versterker.

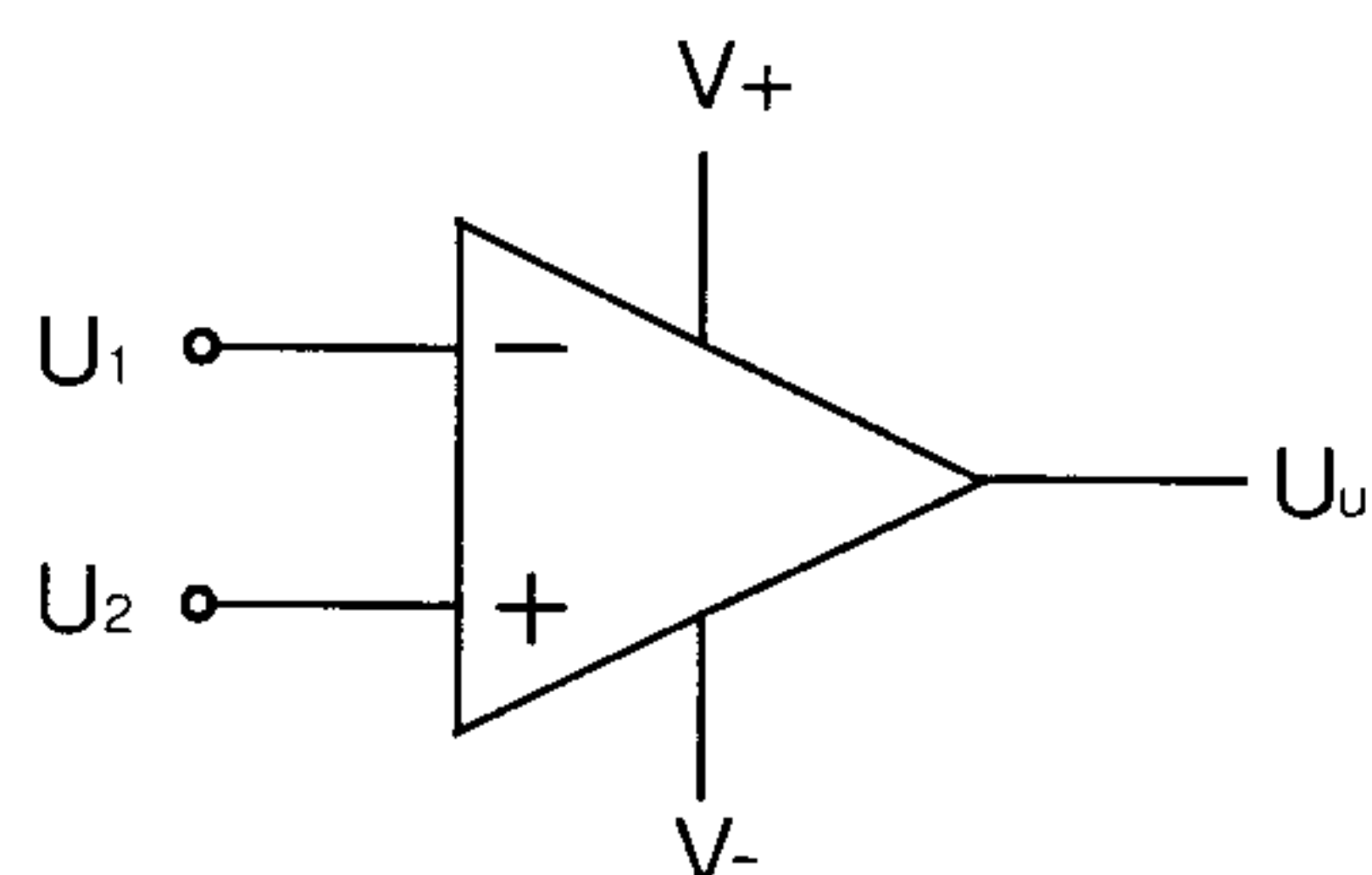
In tegengekoppelde schakelingen krijgt men soms te maken met problemen als gevolg van het feit dat in de praktijk de versterking van de schakeling afneemt met stijgende frequentie en dat bij hoge frequenties het faseverschil tussen in- en uitgang frequentieafhankelijk wordt. Dit kan tot gevolg hebben dat bij een (of meer) frequentie (s) het signaal niet in tegen- maar in meefase op de ingang terecht komt. Het gevolg oscillatie op die frequentie (s) laat zich raden. Dit verschijnsel kan worden voorkomen door zogenaamde frequentiecompensatie met behulp van RC-netwerken, meestal vrij eenvoudig van opzet.

Versterkers die compensatie nodig hebben bezitten hiervoor aparte aansluitingen. Sommige versterkers, zoals de bekende 741 (of $\mu A741$, LM741), hebben inwendige compensatie en zijn ongevoelig voor het genoemde euvel. Bij de analyse van schakelingen met opamps gaat men steeds uit van een oneindige openlus versterking. Dit betekent een spanningsverschil van 0V tussen de ingangen, ongeacht de uitgangsspanning. In werkelijkheid is dat verschil gelijk aan de uitgangsspanning gedeeld door de openlus versterking (wanneer die oneindig is, wordt het spanningsverschil tussen de ingangen inderdaad nul!). We zullen nu enkele schakelingen met opamps nader bekijken.

Schakelingen

1. De spanningsvergelijker (comparator)

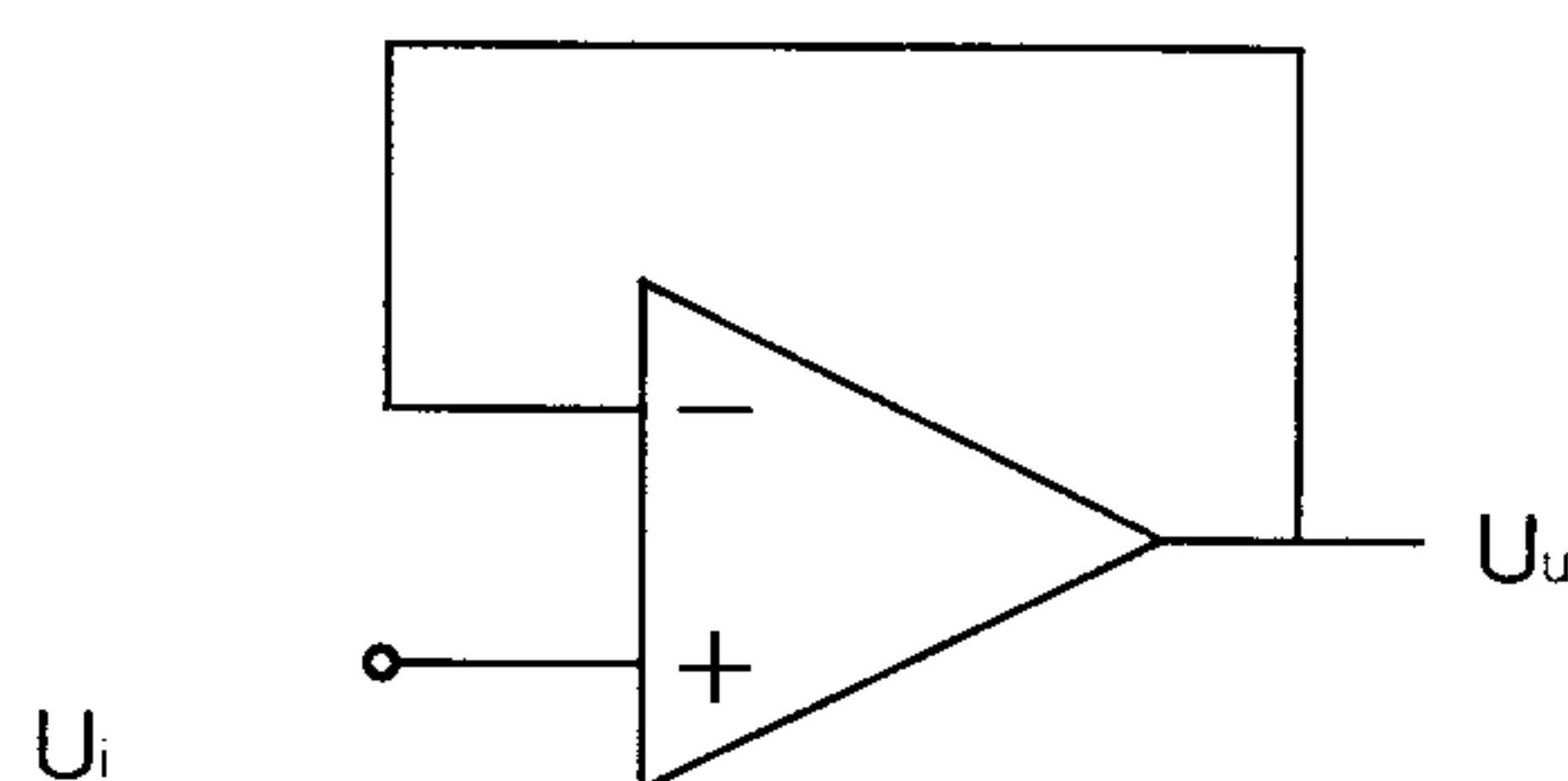
De meest eenvoudige schakeling met een opamp wordt gegeven in figuur 12.1-3. Wanneer U_2 groter is dan U_1 , dan is U_u maximaal positief, in het omgekeerde geval maximaal negatief. Aan U_u is dus ook bij zeer kleine verschillen tussen U_1 en U_2 te zien welke van de twee de grootste is.



Figuur 12.1-3 Een spanningsvergelijker.

De vergelijkingsschakeling wordt o.m. toegepast in spanningsregelaars. Speciale versterkers voor vergelijkingsschakelingen, in logische systemen, vrijwel steeds onder de naam comparator in de handel gebracht, geven een uitgangsspanning die niet afhangt van de voedingsspanning mits deze hoog genoeg is. Bij een normale opamp hangt de maximale uitgangsspanning wel steeds af van de voedingsspanning.

2. De spanningsvolger



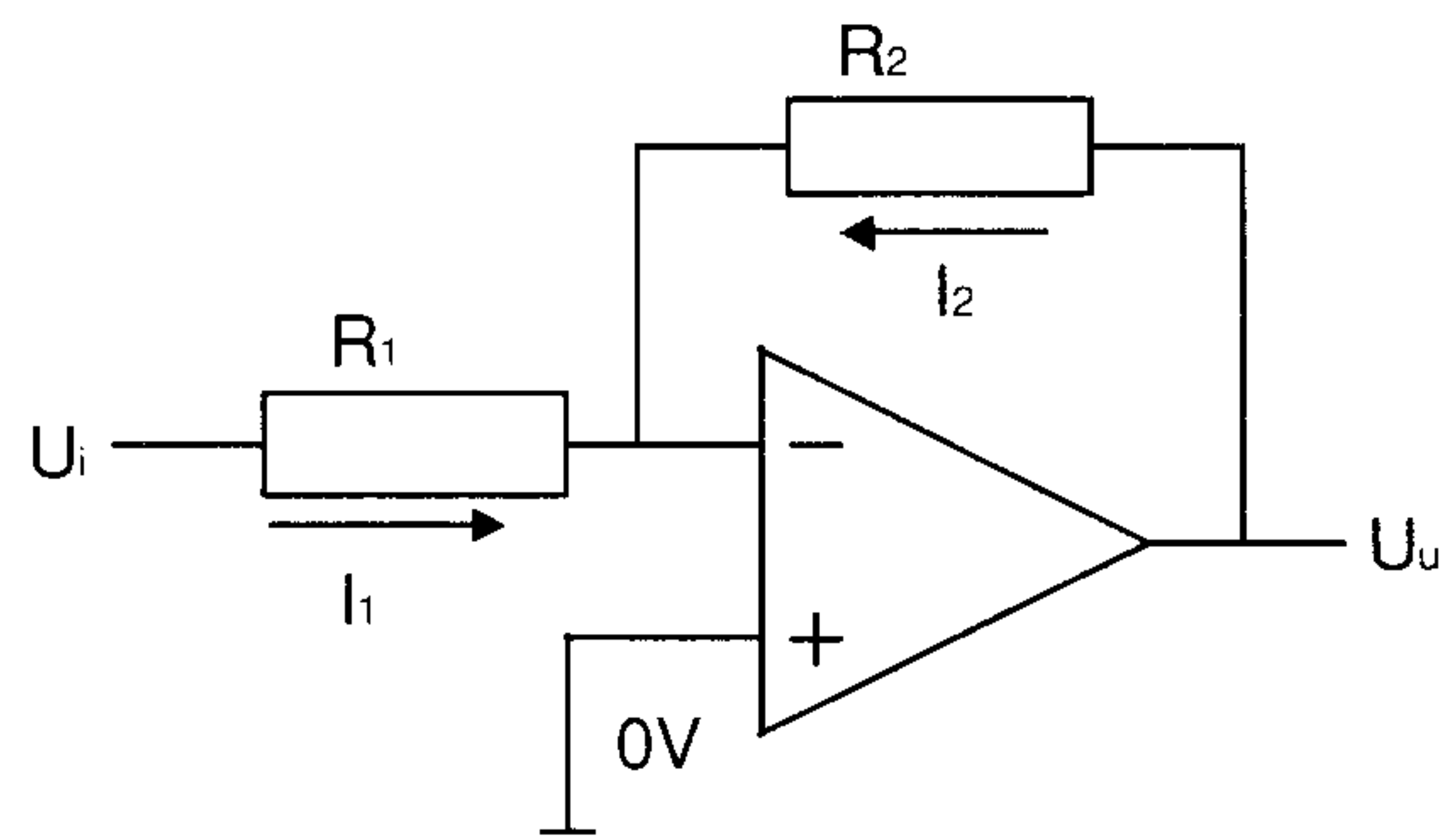
Figuur 12.1-4 Een spanningsvolger.

De spanningsvolger is in figuur 12.1-4 afgebeeld. Het is de meest eenvoudige schakeling met tegenkoppeling. De uitgang is rechtstreeks verbonden met de inverterende ingang. De ingangsspanning komt binnen op de niet-inverterende ingang. De opamp zal een zodanige spanning afgeven dat het verschil tussen de beide ingangen nul wordt. Aangezien de uitgang is verbonden met de min-ingang, wordt U_u gelijk aan U_i .

De eigenschappen van dit type versterker zijn:

- versterking gelijk aan 1 (uitgang in fase met ingang), vandaar de naam *spanningsvolger*
- zeer hoge ingangswaerstand
- zeer lage uitgangswaerstand

3. De inverterende versterker



Figuur 12.1-5 Een inverterende versterker.

De inverterende versterker is afgebeeld in figuur 12.1-5. De weerstanden R_1 en R_2 vormen een spanningsdeler tussen de ingangsspanning U_i en de uitgangsspanning U_u . De niet-inverterende ingang ligt aan 0 V, de inverterende ingang is verbonden met het knooppunt van de spanningsdeler, waar de spanning dus ook 0 V moet zijn. De stroom I_1 door R_1 is in grootte gelijk maar tegengesteld aan de stroom I_2 door R_2 , want als de ene stroom het knooppunt inloopt, moet de andere het knooppunt uitlopen (eerste Wet van Kirchhoff). Daar we de stroomrichting naar de inverterende ingang toe gedefinieerd hebben als positief, zal een stroom van de ingang af dus een minteken krijgen.

Dus:

$$I_1 = -I_2$$

Volgens de Wet van Ohm is :

$$I_1 = \frac{U_i}{R_1} \quad \text{en} \quad I_2 = \frac{U_u}{R_2}$$

want de spanning op het knooppunt van de weerstanden is nul. Hieruit volgt:

$$\frac{U_i}{R_1} = -\frac{U_u}{R_2}$$

Anders geschreven:

$$U_u = -U_i \frac{R_2}{R_1}$$

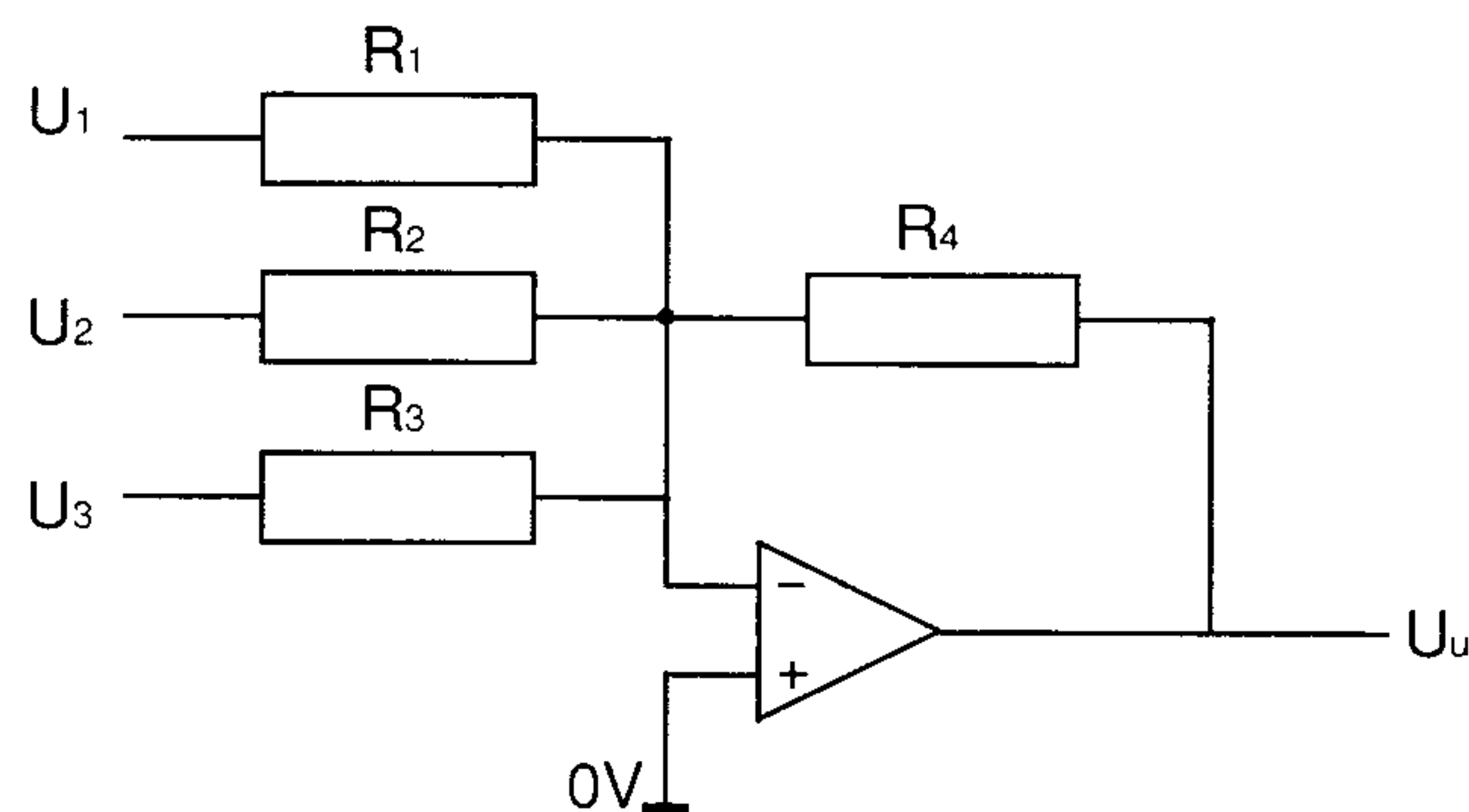
Als R_1 gelijk is aan R_2 , dan is dus:

$$U_u = -U_i$$

Kenmerken van de inverterende versterker:

- de uitgangsspanning is 180° in fase verschoven ten opzichte van de ingangsspanning;
- de versterking wordt bepaald door de verhouding van de tegenkoppelweerstand (R_2 in figuur 12.1-5) en de weerstand tussen ingangsspanning en inverterende ingang (R_1 in figuur 12.1-5);
- de ingangswaerstand van de schakeling is gelijk aan de waarde van R_1 , want R_1 ligt aan een kant aan een constante spanning (0 V in dit geval);
- de uitgangswaerstand is zeer laag.

4. De optelversterker



Figuur 12.1-6 Een optelschakeling..

De optelversterker is een variant op de inverterende versterker, zie figuur 12.1-6. In plaats van één, zijn er meer ingangswaerstanden en ingangsspanningen; in figuur 12.1-6 zijn er 3 getekend. De formule voor de versterking lijkt sterk op die voor de inverterende versterker, alleen moeten nu drie ingangsspanningen en ingangswaerstanden een plaatsje krijgen:

$$U_u = -\left(U_1 \frac{R_4}{R_1} + U_2 \frac{R_4}{R_2} + U_3 \frac{R_4}{R_3} \right)$$

Als alle ingangswaerstanden aan elkaar gelijk zijn ($R_1 = R_2 = R_3 = R$), dan geldt:

$$U_u = -\frac{R_4}{R} (U_1 + U_2 + U_3)$$

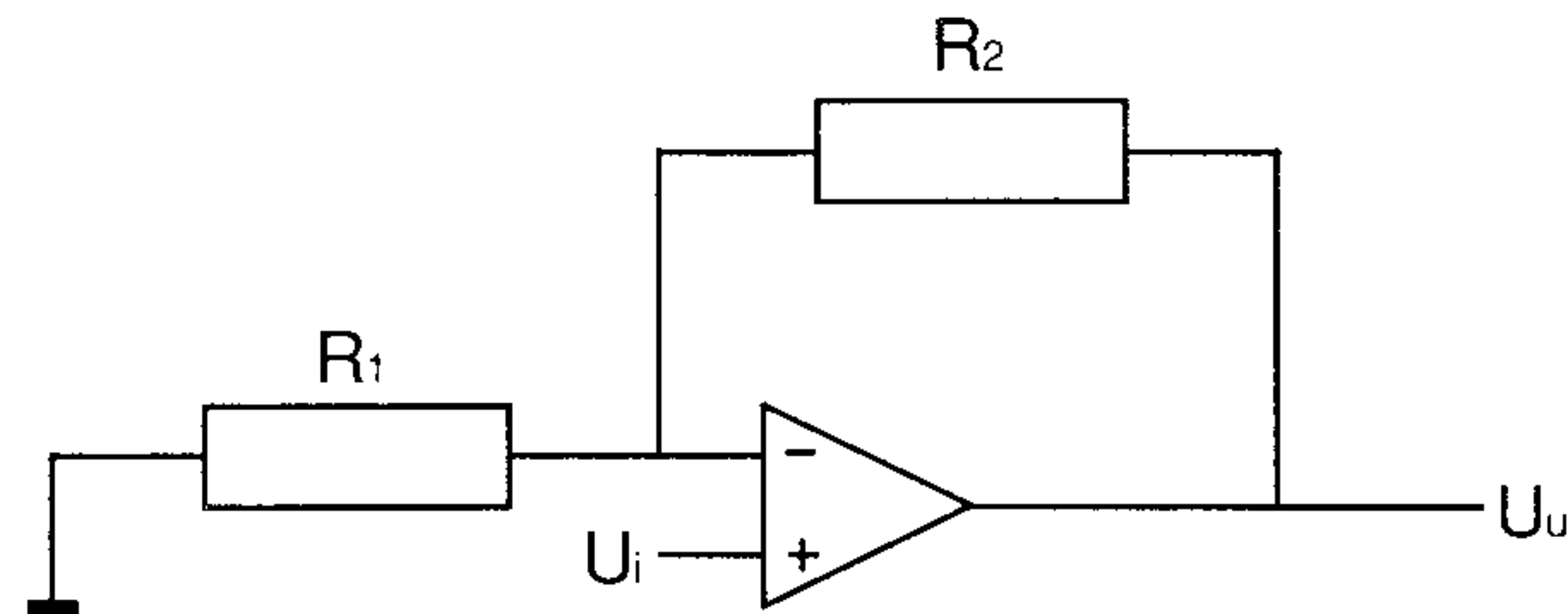
en als ook nog $R_4 = R$, dan wordt de betrekking erg eenvoudig:

$$U_u = -(U_1 + U_2 + U_3)$$

Het resultaat is dus een optelling met een '-' teken er voor (180° faseverschuiving). Het minteken is desgewenst weg te werken door achter de optelversterker een inverterende versterker met een versterking van -1 te plaatsen. De ingangswaerstand is voor elke ingangsspanning gelijk aan de grootte van de bijbehorende weerstand aan de inverterende ingang. De uitgangswaerstand is zeer laag, zodat de optelversterker in eigenschappen niet wezenlijk verschilt met de inverterende versterker.

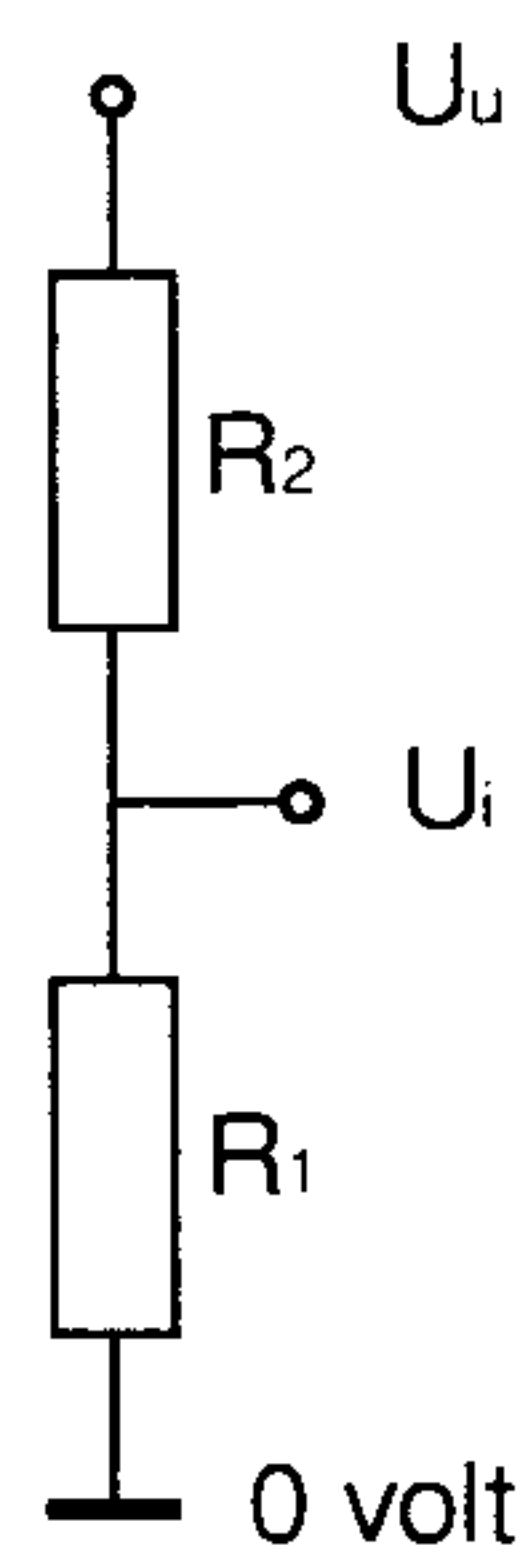
5. De niet-inverterende versterker

De niet-inverterende versterker levert een uitgangsspanning met hetzelfde teken (geen faseverschuiving) als zijn ingangsspanning, zie figuur 12.1-7. De tegenkoppellus via de inverterende ingang lijkt sterk op die van de inverterende versterker van figuur 12.1-5. Het verschil is, dat het linker uiteinde van R_1 hier aan 0 V ligt en de niet-inverterende ingang aan de ingangsspanning.



Figuur 12.1-7 Een niet-inverterende versterker.

Deze verwisseling heeft, zoals we zullen zien, zodanige gevolgen dat we voor het vinden van de formule voor deze schakeling niet simpelweg het minteken uit de formule voor de inverterende versterker kunnen weglaten. R_1 en R_2 vormen een spanningsdeler volgens figuur 12.1-8 met bovenop de uitgangsspanning U_u , op het knooppunt de ingangsspanning U_i (volgens het beginsel van gelijke spanning op de twee ingangen) en 0 V op het voetpunt.



Figuur 12.1-8 Spanningsdeler uit de niet-inverterende versterker van figuur 12-1-7

Het vraagstuk is dan vrij eenvoudig: bereken de spanning op de top van de spanningsdeler als die op het knooppunt bekend is.

Er geldt:

$$U_i = \frac{U_u \cdot R_1}{R_1 + R_2}$$

Een beetje omwerken levert:

$$U_u = U_i \frac{R_1 + R_2}{R_1}$$

of

$$U_u = U_i \left(1 + \frac{R_2}{R_1} \right)$$

wat er inderdaad anders uitziet dan de formule voor de inverterende versterker. Bij gelijke weerstanden in de tegenkoppellus is de spanningsversterking 2 maal en niet 1 maal!

De overige eigenschappen:

- ingangsweerstand zeer hoog, vergelijkbaar met de spanningsvolger;
- uitgangsweerstand zeer laag.

12.2 Digitale schakelingen: basiskennis en poorten

Inleiding

Wie het woord "digitaal" hoort zal dit meestal in verband brengen met computers. Dat komt doordat de digitale techniek juist in die wereld een zeer grote vlucht heeft genomen. Van lieverlee heeft digitale techniek ook steeds meer toepassing gevonden buiten de computertechniek, waaronder ook de radiotechniek. Daarom wordt op het zendexamen enige kennis van deze technieken geëist.

Analoog en digitaal

Naast *digitaal* staat *analoog*. De klassieke radiotechniek, zoals we die tot nu toe in feite hebben behandeld, werkt met analoge signalen. Een analoog signaal of verschijnsel kan binnen de grenzen van zijn minimale en maximale waarde in beginsel een oneindig groot aantal waarden aannemen. Ons stemgeluid is bijvoorbeeld een analoog signaal. Een variërende spanning is op te vatten als een analoog verschijnsel (als die variërende spanning informatie bevat spreken we over een analoog signaal). We kunnen die spanning bijvoorbeeld meten met een wijzerinstrument. De wijzer daarvan kan tussen de beide uiteinden van de schaal in beginsel een oneindig aantal standen hebben. Een wijzerinstrument van dit type heet daarom ook een analoge meter. Er zijn ook digitale meetinstrumenten. Die geven een aflezing in cijfers. Het aantal mogelijke aflezingen is daarom altijd eindig. Bij een apparaat met drie cijfers en een '+' of een '-' zijn er 1999 verschillende waarden mogelijk, als we +0 en -0 als dezelfde waarde beschouwen.

Getalstelsels

Het woord "digitaal" komt van het Latijnse "digitus", wat vinger betekent. Tellen met de vingers gaat van 1 tot en met 10: een eindig aantal mogelijkheden. Ons stelsel van getallen is ervan afkomstig: het tientallige stelsel. Het heet ook wel het decimale stelsel, naar het Latijnse "decem", wat gewoon tien betekent. Dit stelsel werkt met gehele machten van 10. Neem een willekeurig getal, bijv. 746. Het meest rechtse cijfer geeft het aantal malen 10^0 (dus $6 \cdot 1 = 6$), het middelste het aantal malen 10^1 (dus $4 \cdot 10 = 40$), en het meest linkse het aantal malen 10^2 (dus $7 \cdot 100 = 700$). Een getal van 4

cijfers bevat ook nog een aantal keren 10^3 , een van 5 cijfers een aantal keren 10^4 enz. Cijfers achter de komma zijn *negatieve* machten van 10: het eerste cijfer is het aantal malen 10^{-1} , het tweede het aantal malen 10^{-2} enz. Lees, voor wat negatieve machten betreft, zo nodig het hoofdstuk over rekenen nog eens na!

Het tientallige stelsel is te moeilijk voor de elektronica. We passen in de digitale elektronica het simpelste getalstelsel toe dat er is, het tweetallige of binaire stelsel. Dat komt doordat we daarbij vrijwel altijd werken met zg. schakeltransistoren of schakel-FET's. Deze elementen wijken op ondergeschikte punten af van gewone transistoren of FET's. Bij toepassing in digitale systemen zijn ze tegenwoordig vrijwel altijd geïntegreerd in IC-vorm. Ze zijn in digitale schakelingen of in volledige geleiding, of ze staan volledig dicht. We kennen dus alleen de toestanden *aan* en *uit*. Dat laat zich gemakkelijk vertalen naar *nee* of *ja*, *waar* of *niet waar*, maar ook in *0* of *1*, de enige twee cijfers in het tweetallige stelsel. Immers, zoals in het 10-tallige stelsel de 9 ($10-1$) het hoogste cijfer is, is in het tweetallige stelsel de 1 ($2-1$) het hoogste cijfer. Dan blijft alleen de 0 nog over en die is in het tweetallige stelsel, net als in het tientallige, het laagste cijfer.

Ook met nullen en enen kunnen we alle getallen maken. Doordat we maar twee cijfers gebruiken, worden de getallen die we ermee opschrijven veel langer dan in het tientallige stelsel (merk op dat we hier onderscheid maken tussen cijfers en getallen: cijfers zijn de bouwstenen om getallen te kunnen schrijven).

Het binaire getalstelsel

Als voorbeeld van een binair getal nemen we het getal 11001. Het is 5 cijfers lang, dus stelt het meest linkse cijfer $1 \cdot 2^4$ voor; het tweede $1 \cdot 2^3$; het derde $0 \cdot 2^2$; het vierde $0 \cdot 2^1$ en het laatste $1 \cdot 2^0$. Het gehele binaire getal 11001 stelt dus voor:

$$11001_{(2)} = 2^4 + 2^3 + 2^0 = 16 + 8 + 1 = 25_{(10)}$$

Eigenlijk is het werken met binaire getallen veel gemakkelijker dan met decimale getallen. De getallen worden echter onoverzichtelijk lang en we zijn nu eenmaal gewend, in het decimale stelsel te denken en te rekenen. We geven in tabel 12.1 een voorbeeld van een decimale en een binaire optelling

Het *onthouden* van de 1 is in beide gevallen met pijltjes aangegeven. Bij de decimale optelling stelt de rechter 1 tussen de pijltjes 10^1 (10) voor, de linker 10^2 (100). Bij de binaire optelling is dat respectievelijk 2^1 (2), 2^2 (4) en 2^3 (8). Binair aftrekken gaat op vergelijkbare manier. Probeer bij de binaire optelling vast te stellen, welke getallen worden opgeteld en of de optelling klopt!

		decimaal					
	5		6		7		
	7		6		5		
	13	←1←	3	←1←	2		
			(1332)				
		binair					
	1		1		0	1	
	1		0		1	1	
	11	←1←	0	←1←	0	←1← 0	
			(11000)				

Tabel 12.1 Voorbeeld van decimale en binaire optelling.

Besturingssystemen

Met digitale schakelingen kunnen we niet alleen rekenen, we kunnen er ook allerlei besturingsschakelingen mee maken. Deze laatste zijn in de amateurpraktijk in het algemeen het belangrijkste. In dat geval wordt vaak niet gesproken in termen van *0* en *1*, maar van *ja* en *nee*, *waar* en *niet waar* of van *hoog* en *laag*. Ter toelichting op het laatste: meestal wordt een *1* voorgesteld door een spanning, die niet ver onder de voedingsspanning van de schakeling (vaak ca. +5 V) ligt en een *0* door een spanning die weinig boven de 0 V ligt (er zijn minder algemeen toegepaste typen schakelingen, waarbij dat anders is, maar dat doet er in dit verband niet toe). We zullen terwille van de eenvormigheid de begrippen *0* en *1* blijven hanteren, ook al worden er lang niet altijd echte getallen mee bedoeld. In plaats van digitale schakelingen spreekt men ook wel over logische schakelingen. Daarmee wordt precies hetzelfde soort schakelingen aangeduid. De term logisch heeft te maken met de begrippen *waar* en *niet waar*, die in plaats van *1* en *0* kunnen worden gehanteerd.

Poorten

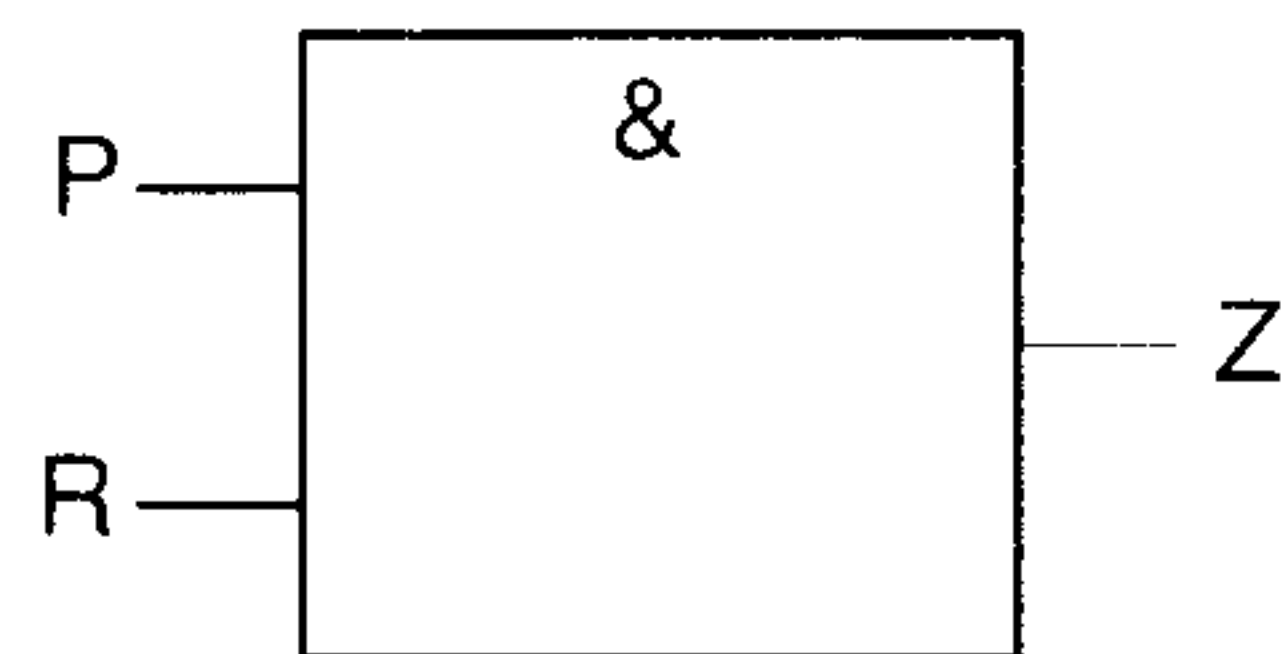
Het type schakeling dat ten grondslag ligt aan vrijwel alle meer ingewikkelde digitale schakelingen is de poortschakeling (in het Engels: "gate"). Een poortschakeling heeft één of meer ingangen en één uitgang. De toestand van de uitgang (*0* of *1*) wordt op de een of andere manier bepaald door de toestand van de ingang(en). Er is, althans bij de hier behandelde poortschakelingen, geen verschil tussen de ingangen. Als b.v. voor het verkrijgen van een *0* op de uitgang, één der ingangen *1* moet zijn, doet het er niet toe, welke ingang *1* is. We kunnen de werking van een poort uitschrijven in een z.g. waarheidstabel (de naam is afgeleid van *waar* en *niet waar*). In een waarheidstabel staan alle combinaties van toestanden op de ingangen die mogelijk zijn, alsmede de bij iedere combinatie behorende toestand van de uitgang. Een voorbeeld van een waarheidstabel is hieronder gegeven (tabel 12.2-1).

uitgang(Z)	ingang 1 (P)	ingang 2 (R)
0	0	0
0	0	1
0	1	0
1	1	1

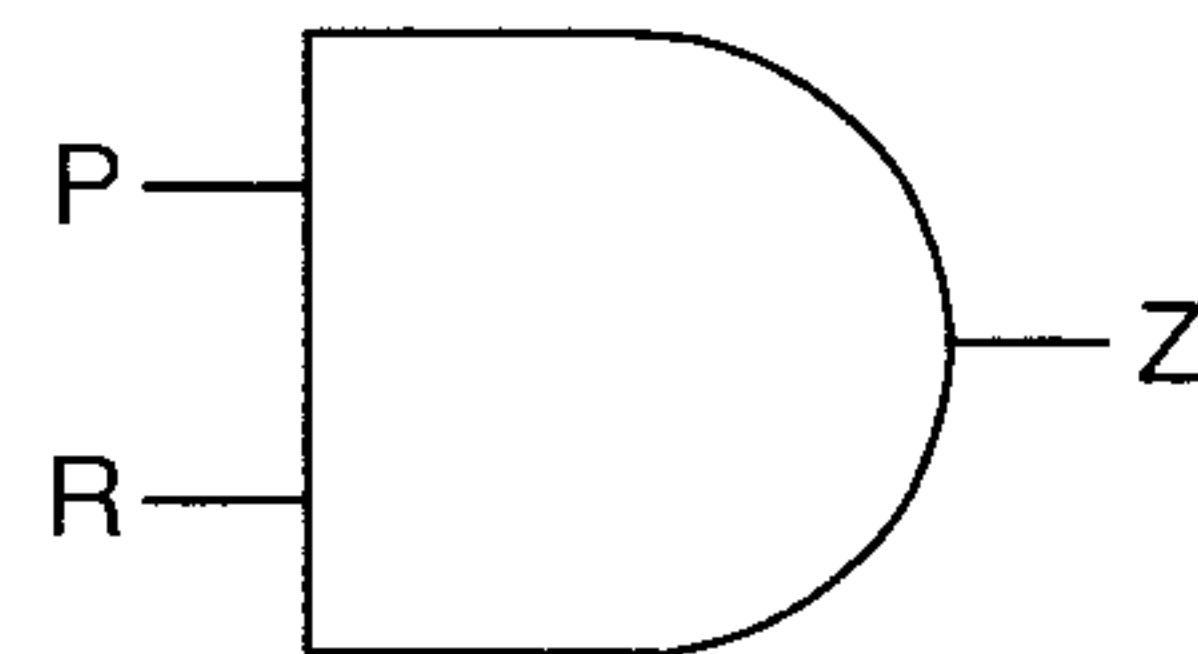
Tabel 12.2-1 Waarheidstabel voor een EN-poort met 2 ingangen.

De EN-poort

Bovenstaande waarheidstabel (tabel 12.2-1) hoort bij een EN-poort (Engels: AND-gate). Bij een EN-poort is de uitgang alleen 1 als alle ingangen 1 zijn (bij een EN-poort met 2 ingangen moeten dan dus ingang P EN ingang Q 1 zijn). Bij een EN-poort met 4 ingangen moeten alle ingangen 1 zijn om op de uitgang een 1 te krijgen. Als er maar één ingang 0 is, is de uitgang óók 0. Veranderingen op de andere ingangen hebben dan dus geen invloed op de toestand van de uitgang. Het schemasymbool voor een EN-poort staat in figuur 12.2-1.



Schemasymbool EN poort volgens NEN5152



Het veel gebruikte Amerikaanse symbool

Figuur 12.2-1 Schemasymbool van de EN poort.

Hoe een EN poort van binnen precies werkt, doet hier weinig ter zake. Er zijn verschillende systemen voor in omloop. Groepen schakelingen die op eenzelfde soort systeem zijn gebaseerd, noemt men wel een *familie*. Bekende families zijn bijv. TTL (gebaseerd op bipolaire transistoren) en CMOS (gebaseerd op MOSFET's). Het door elkaar gebruiken van IC's van verschillende families in één schakeling vereist vaak de nodige voorzorgen.

De OF - poort

Een tweede soort poortschakeling is de OF-poort (Engels: OR-gate). Bij een OF-poort is de uitgang 0 als alle ingangen 0 zijn. Als er maar één ingang 1 is, hebben de andere ingangen geen invloed meer op de toestand van de uitgang. Dat is dus precies andersom als bij de EN-poort, waar maar één ingang 0 hoeft te zijn om de uitgang ongevoelig te maken voor de toestand op de andere ingangen. Het schemasymbool voor een OF-poort met 3 ingangen is weergegeven in figuur 12.2-2.



Schemasymbool OF poort volgens NEN5152

Het veel gebruikte Amerikaanse symbool

Figuur 12.2-2 Schemasymbool van de OF poort.

De bijbehorende waarheidstabel is hieronder weergegeven (tabel 12.2-2).

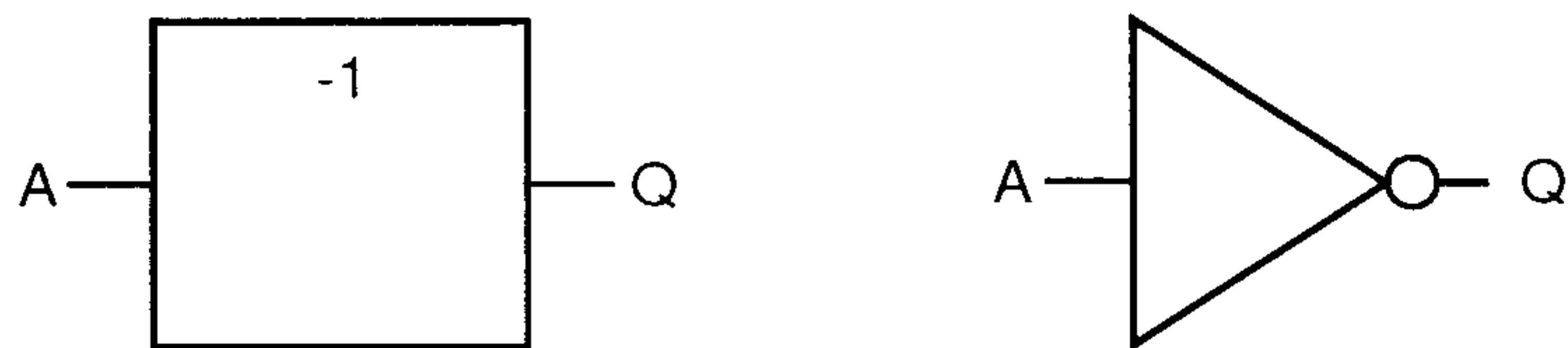
uitgang (F)	ingang 1 (A)	ingang 2 (B)	ingang 3 (C)
0	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

Tabel 12.2-2 Waarheidstabel voor een OF-poort met 3 ingangen.

Merk op, dat de tabel 12.2-2 acht regels bezit en tabel 12.2-1 slechts vier. Dat komt, doordat we in het eerste geval twee, en in het tweede geval drie ingangen hadden. Er waren daarom voor de poort met twee ingangen: $2^2=4$ mogelijke combinaties, en voor de poort met drie ingangen: $2^3=8$ mogelijkheden. Een volledige waarheidstabel voor een poort met vier ingangen zal daarom $2^4=16$ regels tellen en een tabel voor een poort met acht ingangen al $2^8=256$. Verder is er nog iets: een EN-poort gedraagt zich als een OF voor nullen en een OF-poort gedraagt zich als een EN voor nullen. Dit wordt duidelijk door goed naar de waarheidstabel te kijken en in gedachten alle 1'en en 0'en te verwisselen. Daaruit blijkt het belang van goede afspraken over wat we als 1 en wat we als 0 beschouwen. In de praktijk is steeds een hoge spanning een 1 en een lage spanning een 0.

De NIET-poort

Als derde en laatste van de poorten behandelen we de NIET-poort of negator (Engels: inverter). Een NIET-poort heeft maar 1 ingang. De uitgang is 0 als de ingang 1 is en omgekeerd. Het schemasymbool staat in figuur 12.2-3. De waarheidstabel is uiterst eenvoudig, want hij heeft maar een ingang, dus $2^1=2$ regels. Hij is weergegeven in tabel 12.2-3.



Schema symbool NIET poort volgens NEN5152

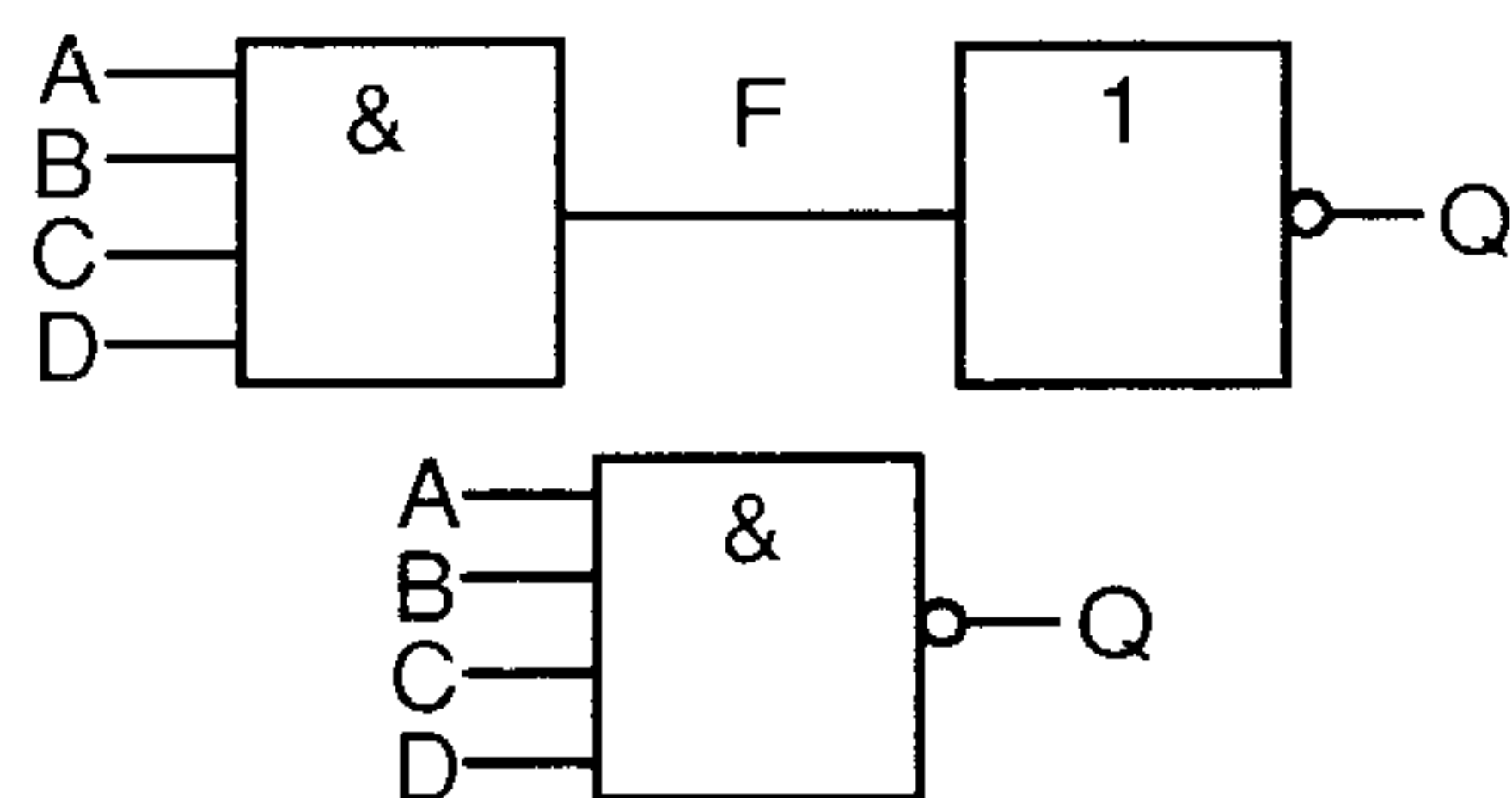
Het veel gebruikte Amerikaanse symbool

Figuur 12.2-3 Schemasympool van de NIET poort.

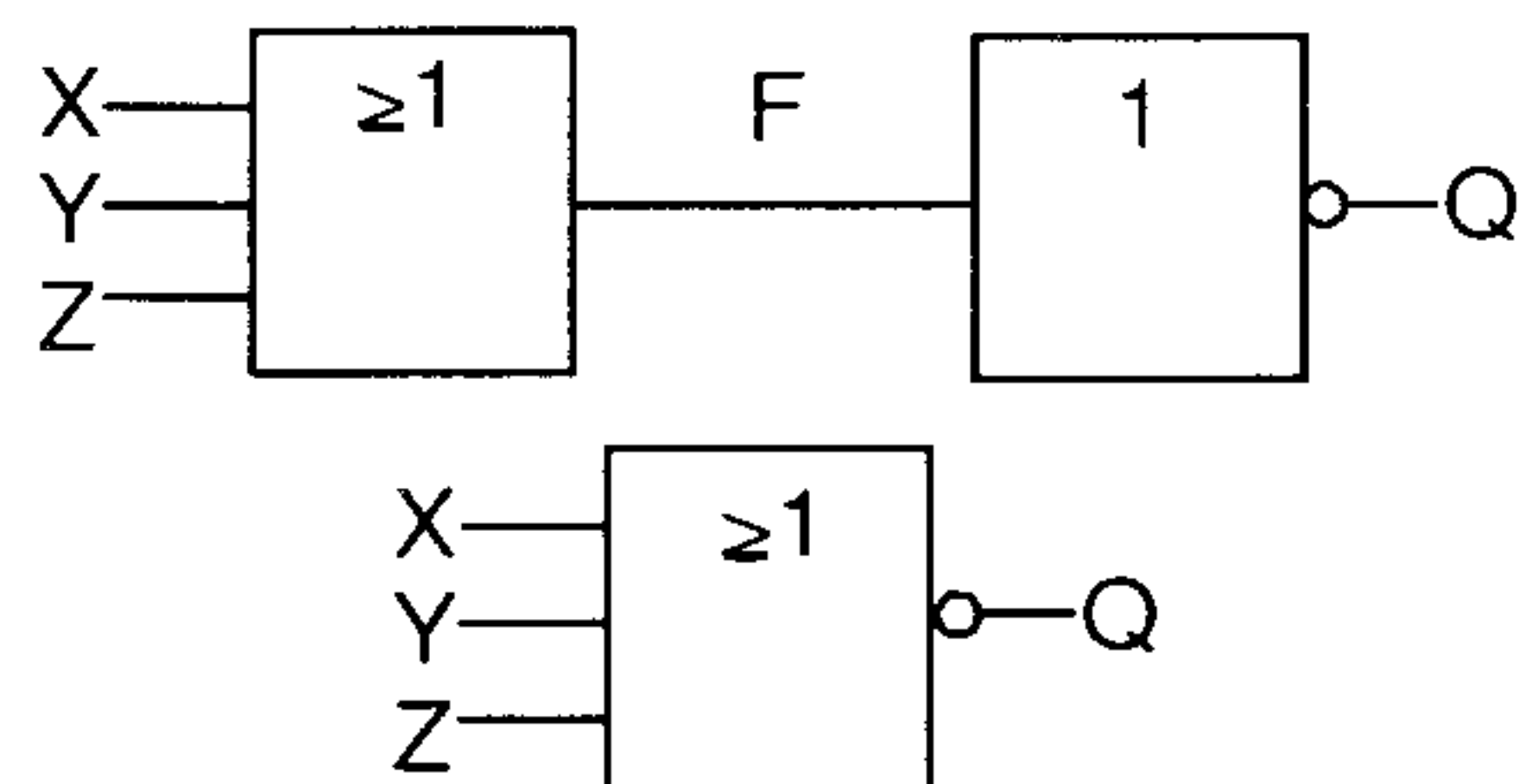
uitgang (Q)	ingang (A)
0	1
1	0

Tabel 12.2-3 Waarheidstabel voor een NIET-poort (negator).

Een NIET-poort zit vaak ingebouwd achter EN- en OF-poorten. De toestand op de uitgang wordt dan omgekeerd. Als deze 1 zou moeten zijn, wordt hij 0 en hij is 1 als hij 0 zou moeten zijn. Een EN-poort met ingebouwde negator zou NIET-EN-poort moeten heten. Dit wordt meestal afgekort tot NEN-poort. Op dezelfde manier komen we tot de benaming NOF-poort. De Engelse benamingen zijn resp. NAND- en NOR-gate. Als schemasymbool wordt hetzelfde symbool gebruikt als voor de EN-, resp. OF-poort, echter op de uitgang voorzien van het rondje dat bij de NIET-poort hoort (figuur 12.2-4 en 5).



Figuur 12.2-4 NEN poort



Figuur 12.2-5 NOF poort

Een waarheidstabel van een NEN-poort met 2 ingangen is te maken door in tabel 12.2-1 in de kolom *uitgang* de nullen door enen en de enen door nullen te vervangen. Op dezelfde manier vinden we uit tabel 12.2-2 de waarheidstabel voor een NOF-poort met 3 ingangen.

Notatie

Voor EN-, OF- en NIET-bewerkingen wordt vaak een soort algebraïsche notatie (manier van opschrijven) gebruikt. Voor het berekenen van schakelingen met poorten wordt namelijk vaak een soort algebra met eigen rekenregels gebruikt. Deze algebra heet wel booleaanse algebra naar zijn uitvinder, die Boole heette. Op de regels van booleaanse algebra gaan we in deze cursus nauwelijks in. De erbij behorende manier van opschrijven is echter zo algemeen, dat we die wel behandelen. Voor de EN-bewerking van (bijv.) 3 signalen A, B en C schrijven we:

$$Q = A \cdot B \cdot C$$

Met Q wordt het uitgangssignaal bedoeld. Dit wordt uitgesproken als: "Q is A én B én C". We zeggen EN, maar de punt lijkt op een vermenigvuldiging. Eigenlijk is dit ook zo. Het is een binaire vermenigvuldiging. Kijk maar eens naar de volgende tabel van vermenigvuldigingen uit de eerste klas.

P	Q	Z
0	x	0 = 0
1	x	0 = 0
0	x	1 = 0
1	x	1 = 1

Dit komt precies overeen met de waarheidstabel van de EN poort.

Voor de OF-bewerking van dezelfde signalen schrijven we:

$$Q = A + B + C$$

Dit wordt uitgesproken als: "Q is A óf B óf C". We zeggen OF, maar de '+' impliceert een optelling. Net als met de EN poort is dat inderdaad het geval. Een OF poort kan worden beschreven met een binaire optelling. Kijk maar naar de volgende tabel:

A	B	F
0	+	0 = 0
1	+	0 = 1
0	+	1 = 1
1	+	1 = 1

Alleen de laatste regel $1+1=1$ klopt schijnbaar niet. Om aan te tonen waarom we de '+' toch als optelling mogen beschouwen moeten we wat complexere wiskunde toepassen, maar dat valt buiten het bestek van dit boek.

$1 \cdot 0 \cdot 0$ levert dus 0 op; $1 + 0 + 0$ echter 1.

$1 + 1 + 1$ levert óók 1 op, evenals $1 \cdot 1 \cdot 1$.

Voor de NIET-bewerking schrijven we:

$$Q = \bar{A}$$

Dit wordt uitgesproken als: "Q is niet A".

Een NEN-bewerking wordt geschreven als:

$$Q = \overline{A \cdot B \cdot C}$$

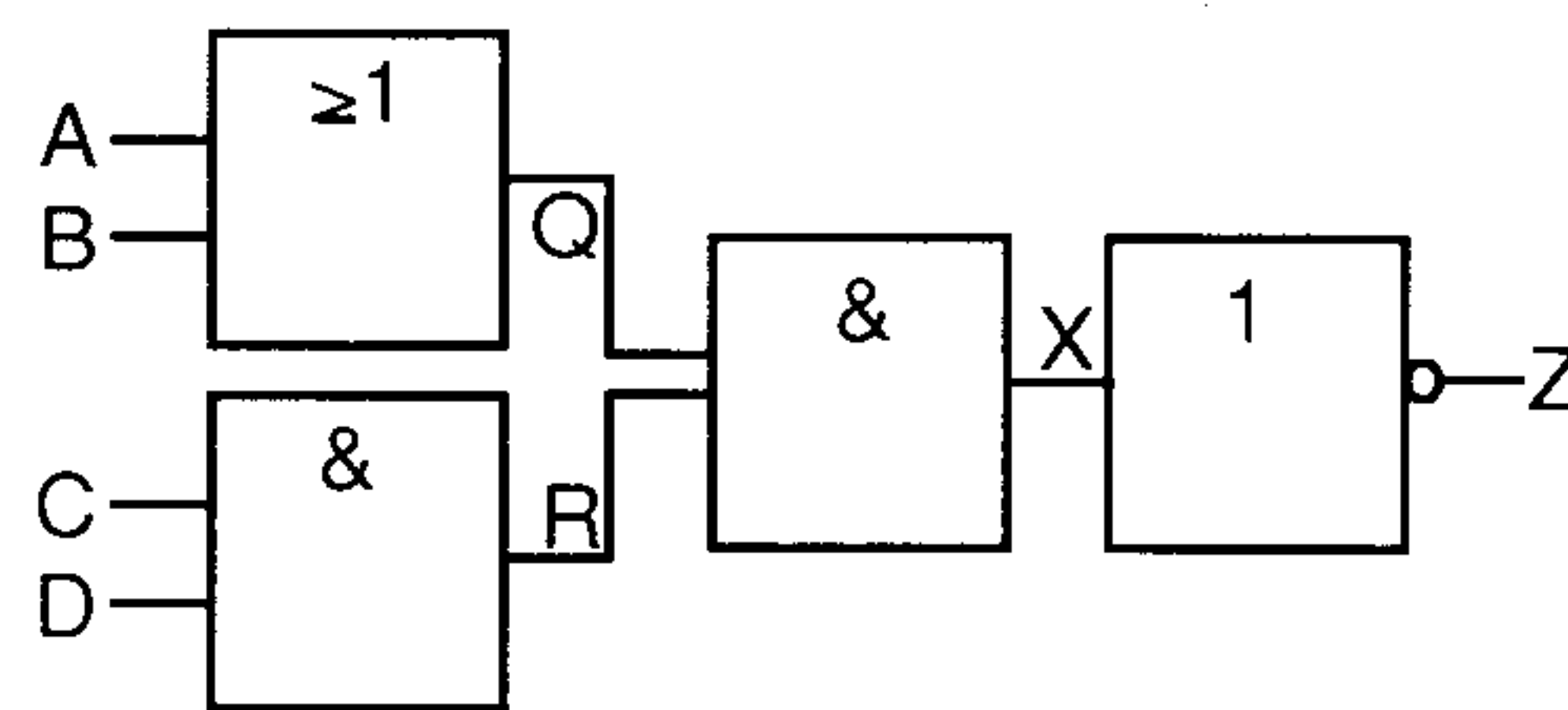
en uitgesproken als: "Q is niet A én B én C."

Een NOF-bewerking wordt geschreven als:

$$Q = \overline{A + B + C}$$

en uitgesproken als: "Q is niet A óf B óf C".

Combinaties van poorten



Figuur 12.2-6 Een combinatie van poorten.

Door poorten te combineren kunnen we allerlei schakelingen ontwerpen. Voor wat toepassingen betreft, kunnen we bijv. denken aan een schakeling, die een zendontvanger op zenden zet als de microfoonschakelaar is ingedrukt of de seinsleutel naar beneden wordt gedrukt, maar zorgt dat het apparaat niet op zenden staat, als beide tegelijk staan ingedrukt. Figuur 12.2-6 geeft een willekeurige schakeling met vier poorten, vier ingangssignalen (A, B, C en D), een uitgangssignaal Z en drie tussensignalen: Q, R en X.

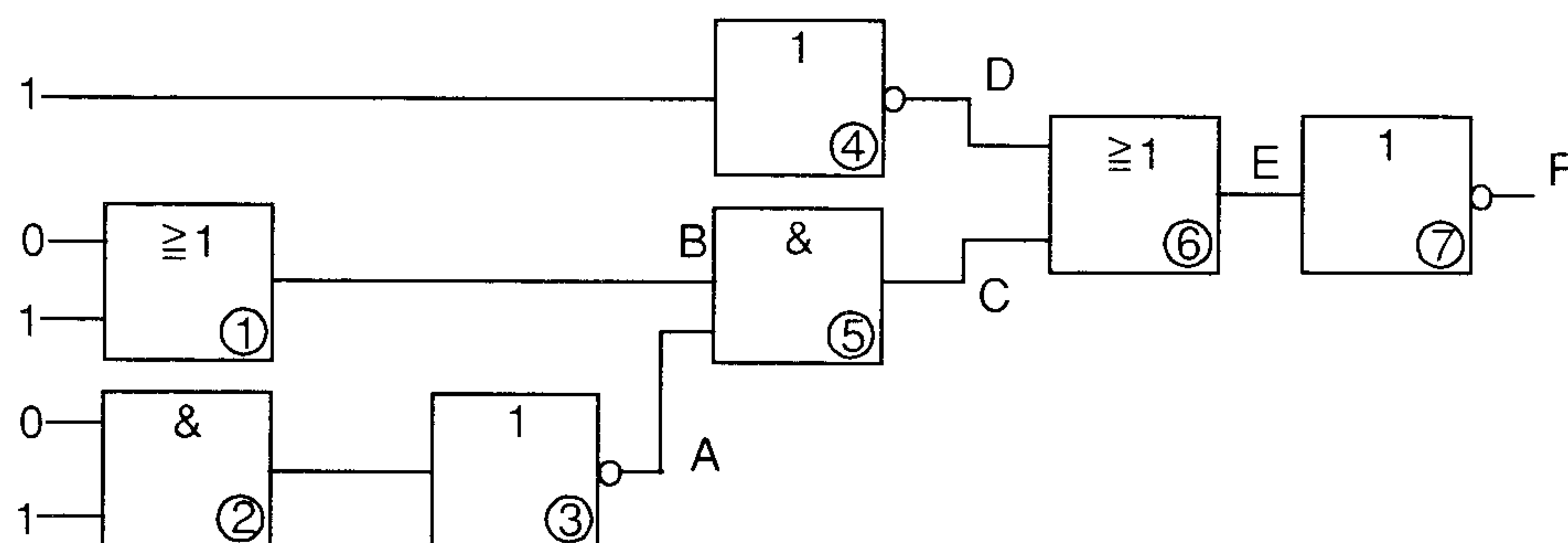
$$\begin{aligned} Q &= A + B \\ R &= C \cdot D \\ X &= Q \cdot R \\ Z &= \overline{X} \end{aligned}$$

Om de werking te analyseren maken we een volledige waarheidstabel (tabel. 12.2-4).

Z	A	B	C	D	Q	R	X
1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0
1	0	0	1	1	0	1	0
1	0	1	0	0	1	0	0
1	0	1	0	1	1	0	0
1	0	1	1	0	1	0	0
0	0	1	1	1	1	1	1
1	1	0	0	0	1	0	0
1	1	0	0	1	1	0	0
1	1	0	1	0	1	0	0
0	1	0	1	1	1	1	1
1	1	1	0	0	1	0	0
1	1	1	0	1	1	0	0
1	1	1	1	0	1	0	0
0	1	1	1	1	1	1	1

Tabel 12.2-4 Waarheidstabel bij figuur 12.2-6.

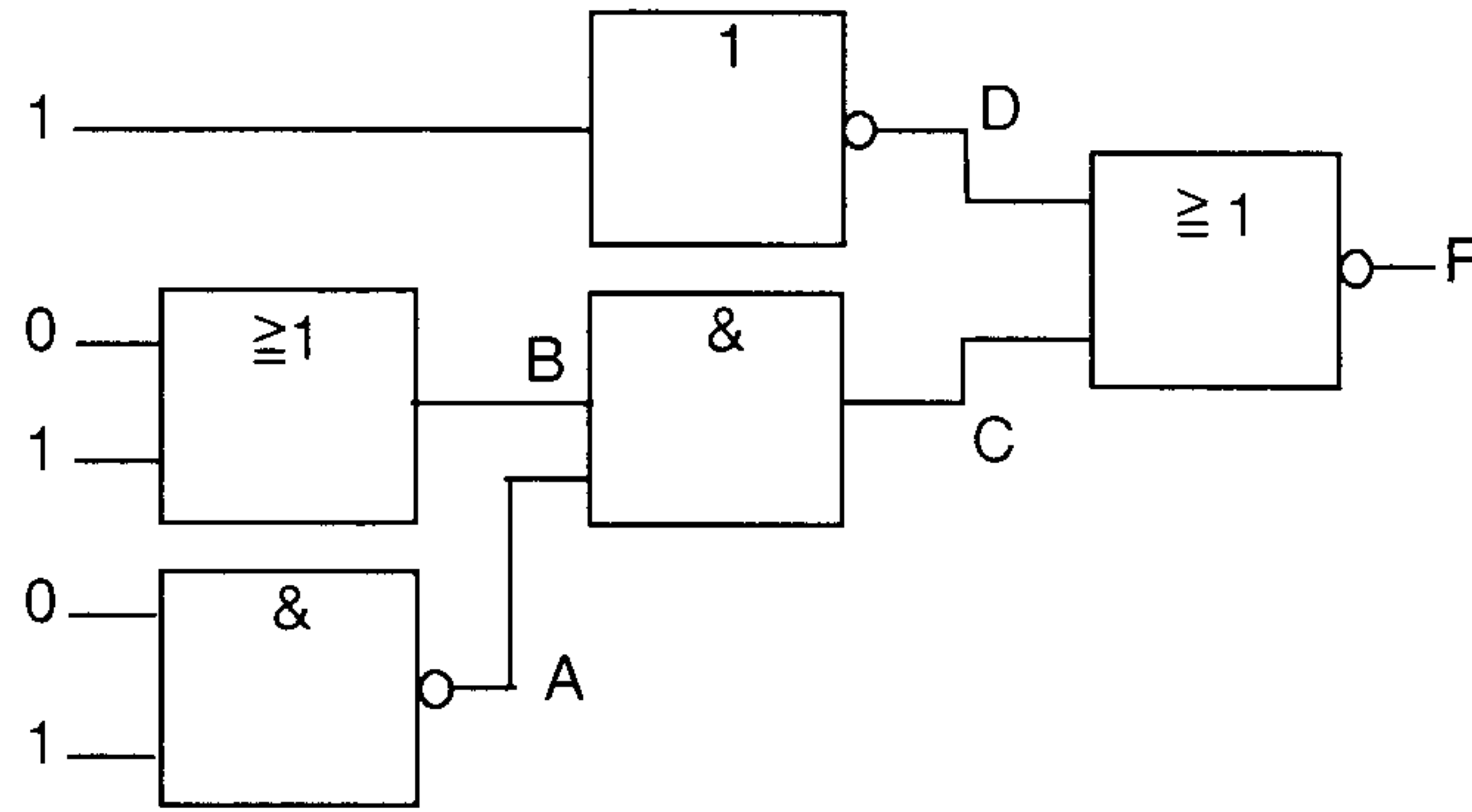
De NIET-poort in figuur 12.2-6 had met de voorafgaande EN-poort kunnen worden samengevoegd tot een NEN-poort.



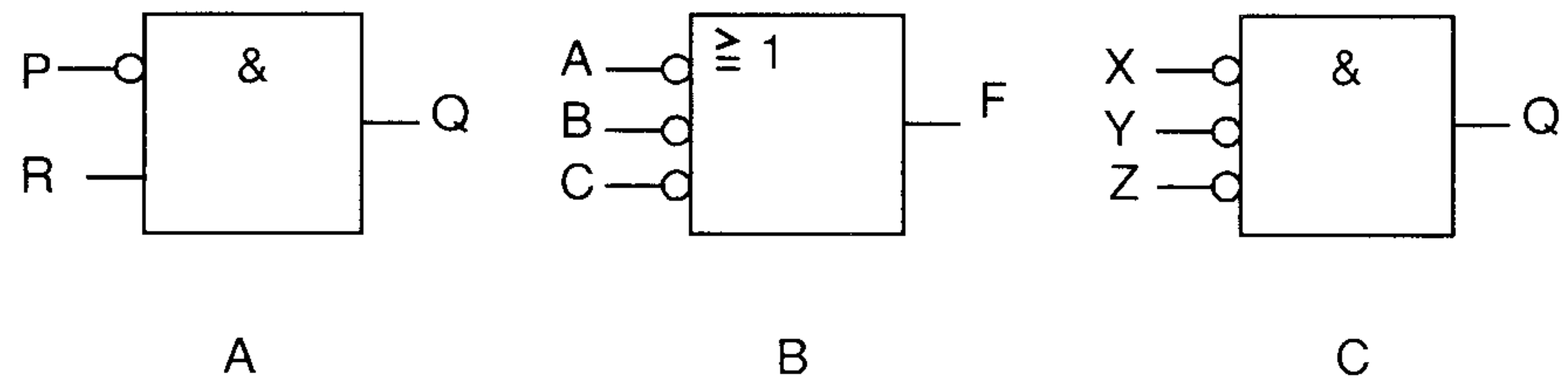
Figuur 12.2-7 Een complexe logische schakeling.

Dit soort vereenvoudigingen in schema's is vaak mogelijk. Bij wijze van voorbeeld nemen we figuur 12.2-7. EN-poort 2 en NIET-poort 3 zijn samen een NEN-poort. OF-poort 6 en NIET-poort 7 vormen samen een NOF-poort. Zo ontstaat figuur 12.2-8, die een stuk overzichtelijker is dan figuur 12.2-7.

Het is ook mogelijk, een NIET-poort aan een ingang te hebben, zoals ingang P in figuur 12.2-9a. We noemen dit ook wel een "genegeerde ingang". In het schema wordt een genegeerde ingang aangegeven door een rondje.



Figuur 12.2-8 De schakeling uit figuur 12.2-7 in vereenvoudigde vorm.



Figuur 12.2-9 Drie afwijkende poort vormen.

Nu moet $P = 0$ en $R = 1$ zijn om $Q = 1$ te krijgen. Op deze manier krijgen we een poort met andere eigenschappen. Een voorbeeld is figuur 12.2-9b. We maken van deze poort een waarheidstabel (tabel 12.2-5). en we zien, dat de OF-poort met genegeerde ingangen zich gedraagt als een NEN-poort. In booleaanse algebra weergegeven wordt dit:

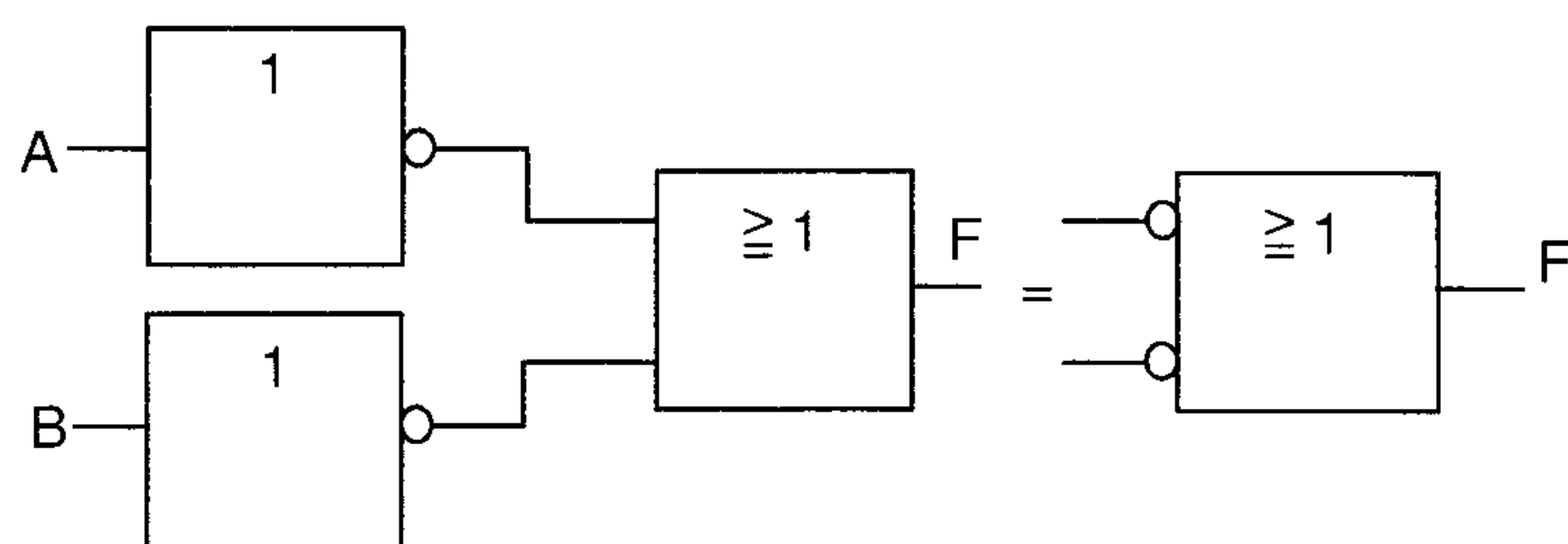
$$\overline{A + B + C} = \overline{A \cdot B \cdot C}$$

F	A	B	C
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
0	1	1	1

Tabel 12.2-5 Waarheidstabel bij figuur 12.2-9b.

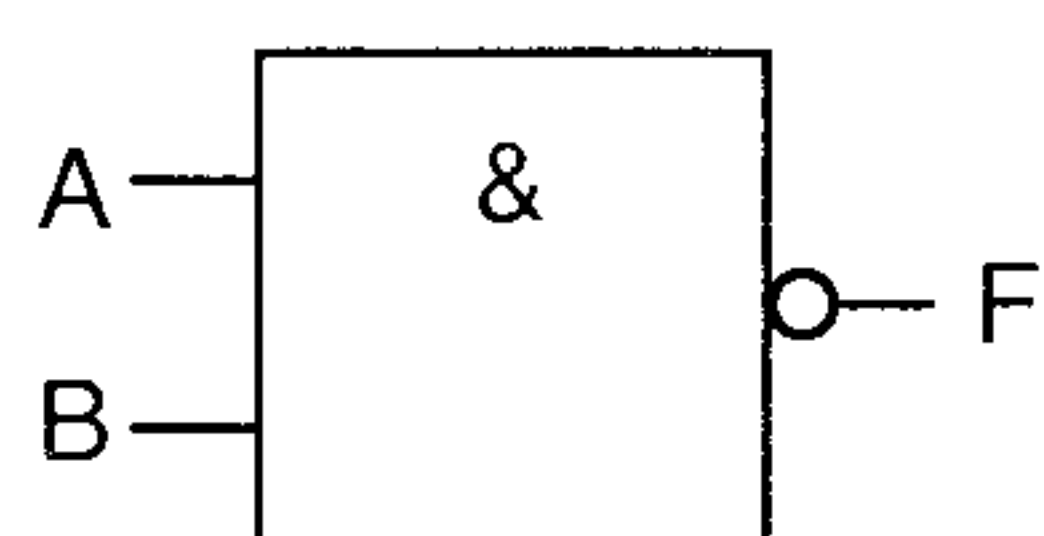
Op dezelfde manier kunnen we aantonen, dat een EN-poort met genegeerde ingangen (figuur 12.2-9c) zich gedraagt als een NOF-poort (probeer dit zelf!), dus volgens de booleaanse schrijfwijze:

$$\overline{A \cdot B \cdot C} = \overline{A + B + C}$$



Figuur 12.2-10 Een OF poort met geïnverteerde ingangen.

Dit is met schemasymbolen aangegeven in figuur 12.2-10 en 12.2-11.



Figuur 12.2-11 EN poort met geïnverteerde uitgang.

Merk op, dat in de booleaanse notatie een doorgetrokken streep boven deingangssignalen een genegeerde uitgang betekent en dat een apart streepje boven eeningangssignaal een genegeerde ingang aangeeft voor alleen dat éneingangssignaal.

Ongebruikte ingangen

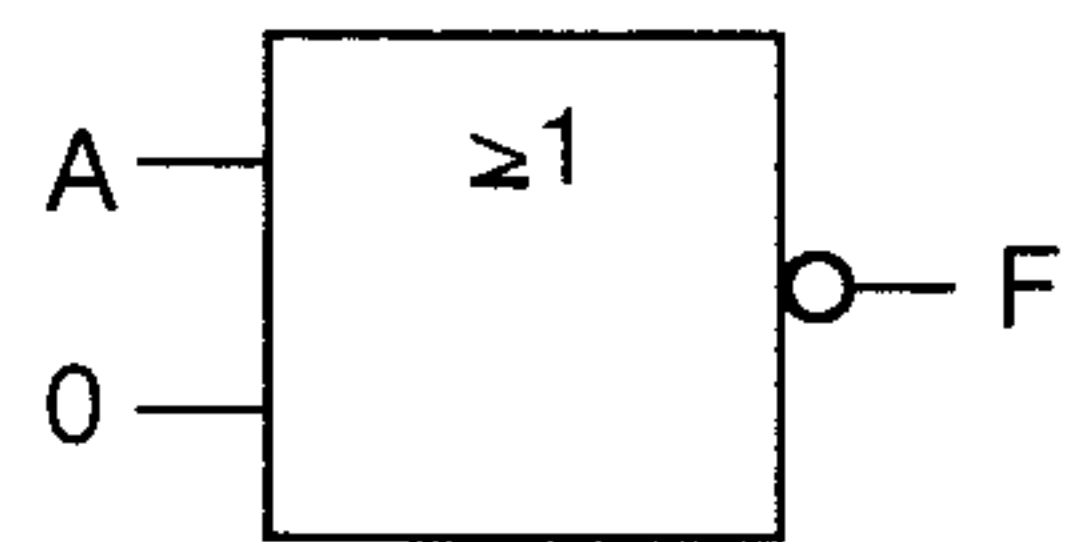
Een poort kan meer ingangen hebben, dan we in een schakeling nodig hebben. Ongebruikte ingangen moeten of aan 0, of aan 1 worden gelegd. Dit om te voorkomen dat een ongebruikte ingang gaat zweven en daardoor stoorsignalen oppikt, dan wel een in een ongewenste toestand komt. Bij OF- en NOF-poorten gaan ongebruikte ingangen aan 0 en bij EN- en NEN-poorten aan 1. Bedenk zelf, waarom.

Opgaven

1. Op wat voor poort is van toepassing

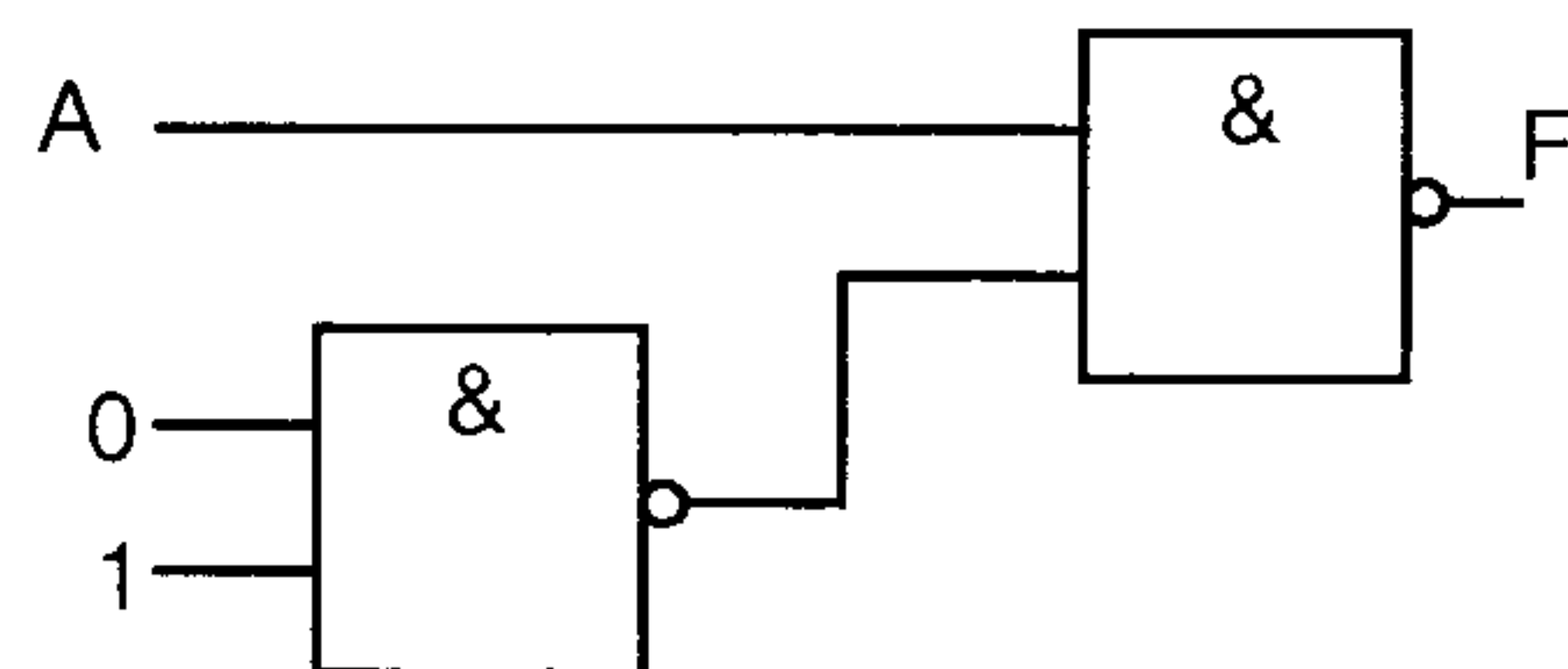
$$F = \overline{A + B + C}$$

2. Toon met behulp van de bijbehorende waarheidstabellen aan, dat een NEN-poort niet hetzelfde is als een OF-poort (gebruik poorten met 2 ingangen om lange waarheidstabellen te vermijden).
3. Hoe kunnen we ervoor zorgen, dat we bij het opmaken van een waarheidstabel geen enkele ingangscombinatie vergeten? (Tip: bekijk de tabellen in dit hoofdstuk nog eens zorgvuldig.)
4. Als in figuur 12.2-12 signaal A van 0 naar 1 gaat, wat gebeurt er dan met F? (De tweede ingang van de poort is 0.)



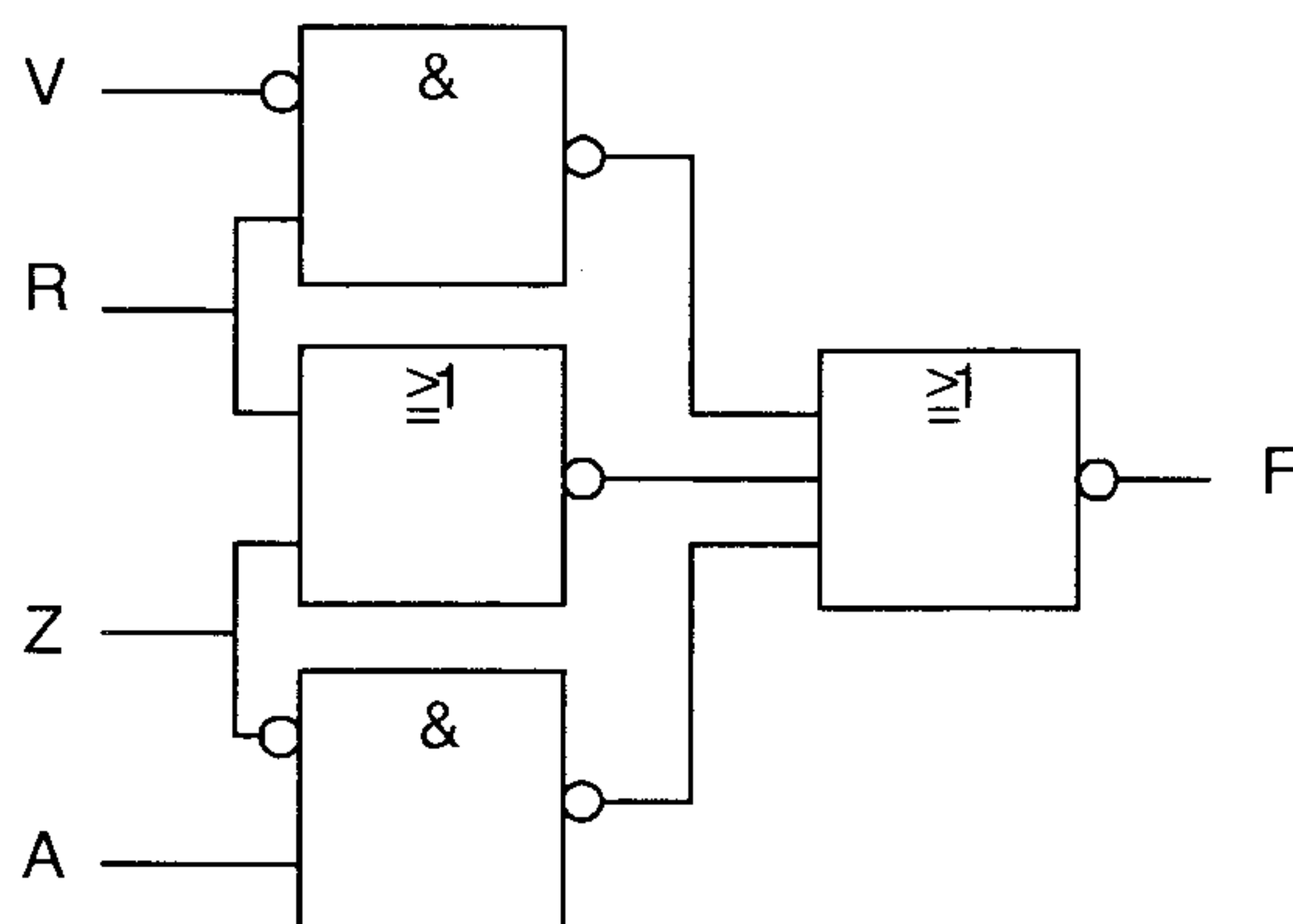
Figuur 12.2-12

5. Maak voor figuur 12.2-13 een waarheidstabel. Is F bij de in figuur 12.2-13 gegeven situatie afhankelijk van A? Zo nee, wat moet er dan op de andere ingangen veranderen opdat F wel van A afhangt? Zo ja, bij welke andere combinaties vaningangssignalen hangt F even eens van A af?



Figuur 12.2-13

6. Maak voor figuur 12.2-14 een waarheidstabel.



Figuur 12.2-14

7. Bij wat voor poort hoort de volgende waarheidstabel?

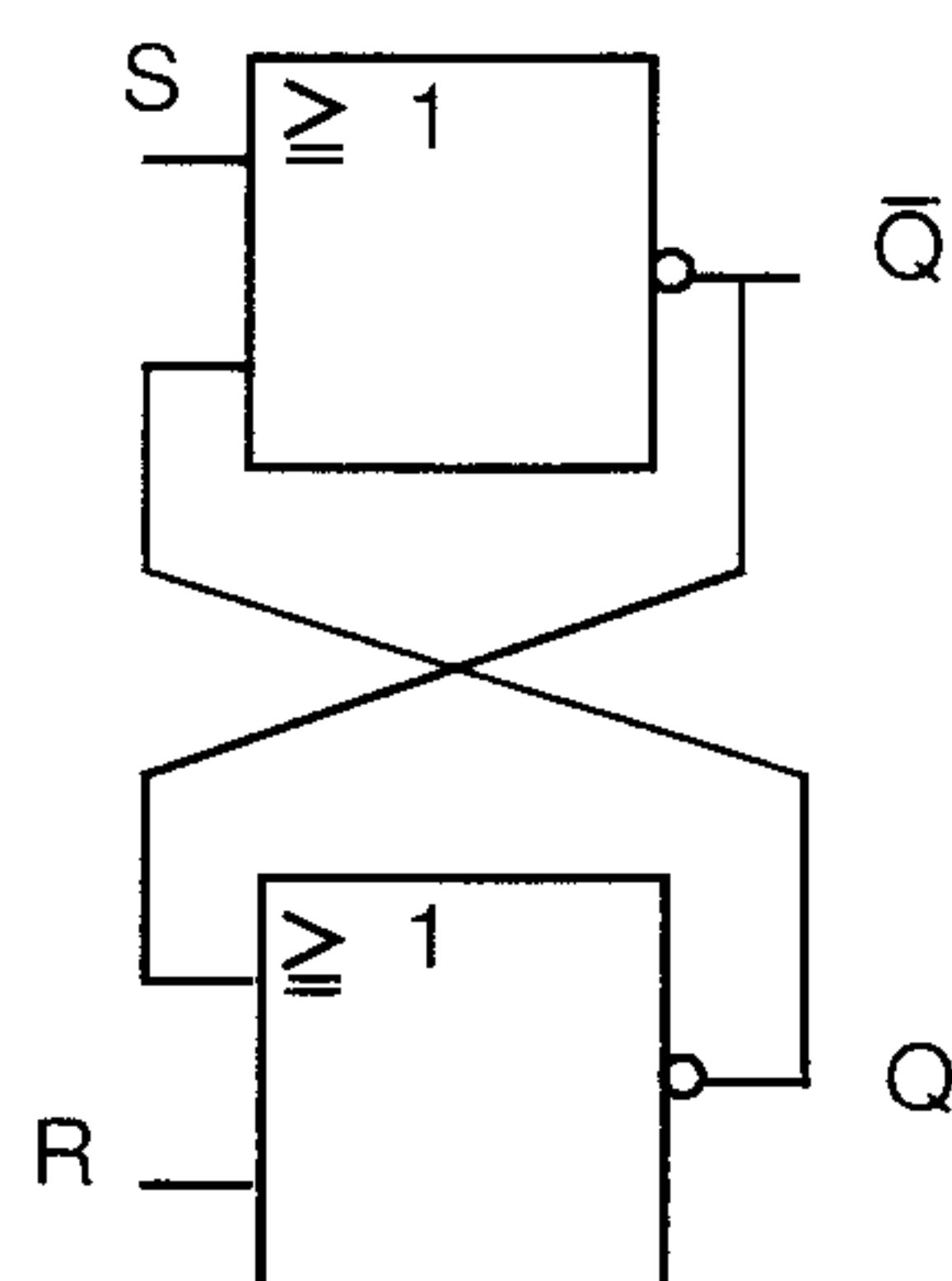
uitgang	ingang1	ingang2	ingang3
1	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1

12.3 Flipflops

Door combinaties van poorten, waarbij uitgangen op een bepaalde manier aan ingangen worden gekoppeld, kunnen we schakelingen maken, die een toestand op hun uitgang kunnen vasthouden, ook al is de voorwaarde op de ingang, die nodig is voor het ontstaan van die toestand al niet meer aanwezig. Op die manier ontstaat een geheugenelement. Zulke geheugenelementen kennen twee stabiele toestanden. Als we de ene toestand 1 en de andere 0 noemen, kan een element één binair cijfer (ook wel *bit* genoemd, een samentrekking van het Engelse "binary digit") onthouden. Zulke elementen heten in de praktijk flipflops. Er zijn veel verschillende typen flipflops. Ze vinden niet alleen toepassing als geheugenelement, maar ook in telschakelingen en frequentiedelers. Een frequentiedeler is een schakeling waar je een frequentie f instopt en waar een frequentie f/n uitkomt. n is een geheel getal. We zullen een aantal typen flipflops behandelen.

De RS-flipflop

Een eenvoudige RS-flipflop is weergegeven in figuur 12.3-1.



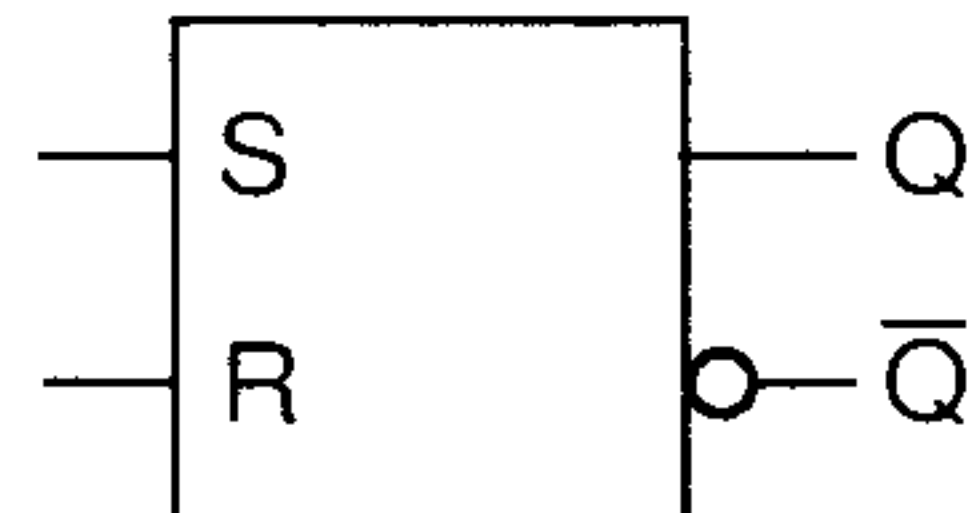
Figuur 12.3-1 Een RS-flipflop

De schakeling bestaat uit 2 NOF-poorten met 2 ingangen elk. De uitgang van elke NOF-poort is verbonden met een van de ingangen van de andere. Deze kruiselingse manier van terugkoppelen is kenmerkend voor elke flipflop. De uitgangen Q en \bar{Q} bepalen mede de ingangstoestand en dus hun eigen toestand. Daarop is de geheugenwerking van de schakeling gebaseerd. De twee overgebleven ingangen (S en R) dienen voor de besturing van het geheel. Als we $S = 1$ en $R = 0$ toevoeren, dan is in elk geval $\bar{Q} = 0$. Dan zijn beide ingangen van de onderste NOF-poort 0 en moet $Q = 1$ zijn. Omgekeerd, als $S = 0$ en $R = 1$, dan is $\bar{Q} = 1$ en $Q = 0$.

Als echter $S = 0$ én $R = 0$, dan bepalen Q en \bar{Q} de toestand: de flipflop onthoudt de situatie die bestond, toen S en R niet allebei 0 waren. Merk op, dat Q en \bar{Q} tegengesteld zijn: als $Q = 0$ dan geldt $\bar{Q} = 1$ en omgekeerd; vandaar ook de benaming. De letters S en R komen van "set" en "reset": stellen en terugstellen. Er treedt een probleem op, als $R = S = 1$: beide uitgangen worden dan 0 . Als R en S daarna gelijktijdig 0 zouden worden,

staat niet bij voorbaat vast wat dan de toestand op de uitgangen zal worden: beide zullen in eerste instantie naar 1 proberen te gaan, maar bij $R = S = 0$ kan er maar één tegelijk 1 zijn. Er zal dus een soort wedloop tussen de twee uitgangen ontstaan, waarvan de uitslag niet bij voorbaat vast staat. Dergelijke onzekerheden kunnen we in schakelingen die betrouwbaar moeten werken natuurlijk niet gebruiken. Daarom beschouwen we $R = S = 1$ bij dit type flipflop als een verboden of althans te vermijden toestand.

Het schemasymbool voor een RS-flipflop staat in figuur 12.3-2. De bijbehorende waarheidstabel (tabel 12.3-1) volgt hieronder.



Figuur 12.3-2

S	R	Q	niet Q	toestand
0	0	Q	\bar{Q}	onthoud
0	1	0	1	reset
1	0	1	0	set
1	1	0	0	verboden

Tabel 12.3-1 Waarheidstabel voor een RS-flipflop van NOF-poorten.

We kunnen de flipflop een combinatie SR van 01 of 10 laten onthouden door R en S daarna allebei 0 te maken. Maken we ze allebei 1 dan verstoren we de geheugenwerking! Het is ook mogelijk een RS-flipflop van twee NEN-poorten te maken. In dat geval werkt alles net andersom, omdat een NEN-poort blokkeert als er een 0 op een ingang staat en een NOF-poort als er een 1 op een ingang staat. De waarheidstabel voor een RS-flipflop met NEN-poorten ziet er daarom als volgt uit (tabel 12.3-2):

S	R	Q	niet Q	toestand
1	1	Q	\bar{Q}	onthoud
1	0	1	0	reset
0	1	0	1	set
0	0	1	1	verboden

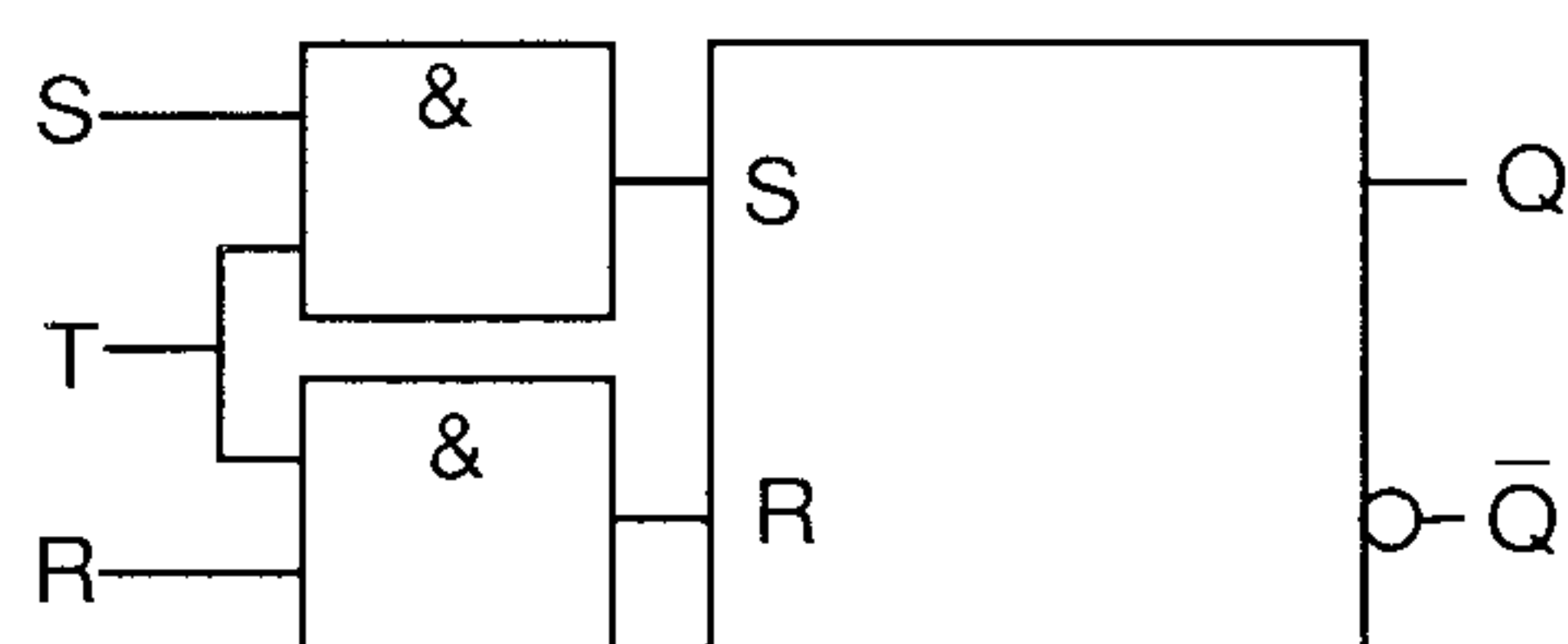
Tabel 12.3-2 Waarheidstabel voor RS-flipflop van NEN-poorten.

We zullen in deze cursus uitgaan van flipflops die zijn gebaseerd op NOF-poorten.

De impulsgestuurde (geklakte) RS-flipflop

De zojuist besproken RS-flipflop kan last hebben van stoorsignalen. Als $R=S=0$ en één van de twee wordt door een stoorpiekje op de ingangsspanning even 1 (dat hoeft maar een onderdeel van een msec te

duren), dan kan de uitgangstoestand veranderen. Om dat risico te verminderen kan men de impulsgestuurde of geklokte RS-flipflop toepassen. Deze flipflop heeft behalve de R- en S-ingangssignalen ook een z.g. klokpuls (T) nodig. Alleen als $T = 1$ wordt de toestand van de R- en S-ingang overgebracht op de uitgangen. Bij aanwezigheid van stoorsignalen moeten dus T en R of S gelijktijdig even 1 worden om effect van de storing te krijgen. De kans daarop is uiteraard veel kleiner dan voor één afzonderlijke ingang. Verder is het met een kloksignaal mogelijk, een aantal flipflops tegelijk te laten reageren door ze van hetzelfde kloksignaal te voorzien. Die gelijktijdigheid kan nodig zijn, om schakelingen betrouwbaar te laten werken. De werking van dit type flipflop volgt uit figuur 12.3-3: R en S gaan samen met de klokpuls T door twee EN-poorten, waarachter de eigenlijke RS-flipflop is geschakeld. Als $T = 0$, zijn de uitgangen van de EN-poorten eveneens 0 en de eigenlijke flipflop ziet dan een R en S die 0 zijn.



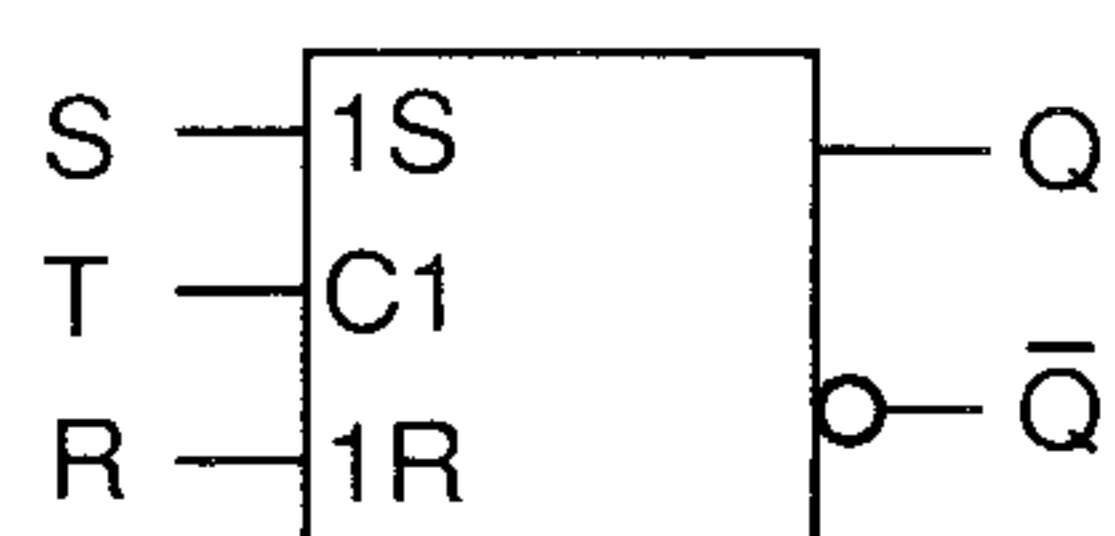
Figuur 12.3-3 Een impulsgestuurde RS-flipflop.

De bijbehorende waarheidstabel is hieronder weergegeven (tabel 12.3-3). De x-tekens geven aan, dat de toestand van de betreffende ingang er niet toe doet (don't care) omdat hij in de gegeven situatie ($T=0$) niet van invloed is op de toestand op de uitgangen.

S	R	T	Q	niet Q	toestand
x	x	0	Q	\bar{Q}	onthoud
0	0	1	Q	\bar{Q}	onthoud
0	1	1	0	1	reset
1	0	1	1	0	set
1	1	1	0	0	verboden

Tabel 12.3-3 Waarheidstabel voor een geklokte RS-flipflop.

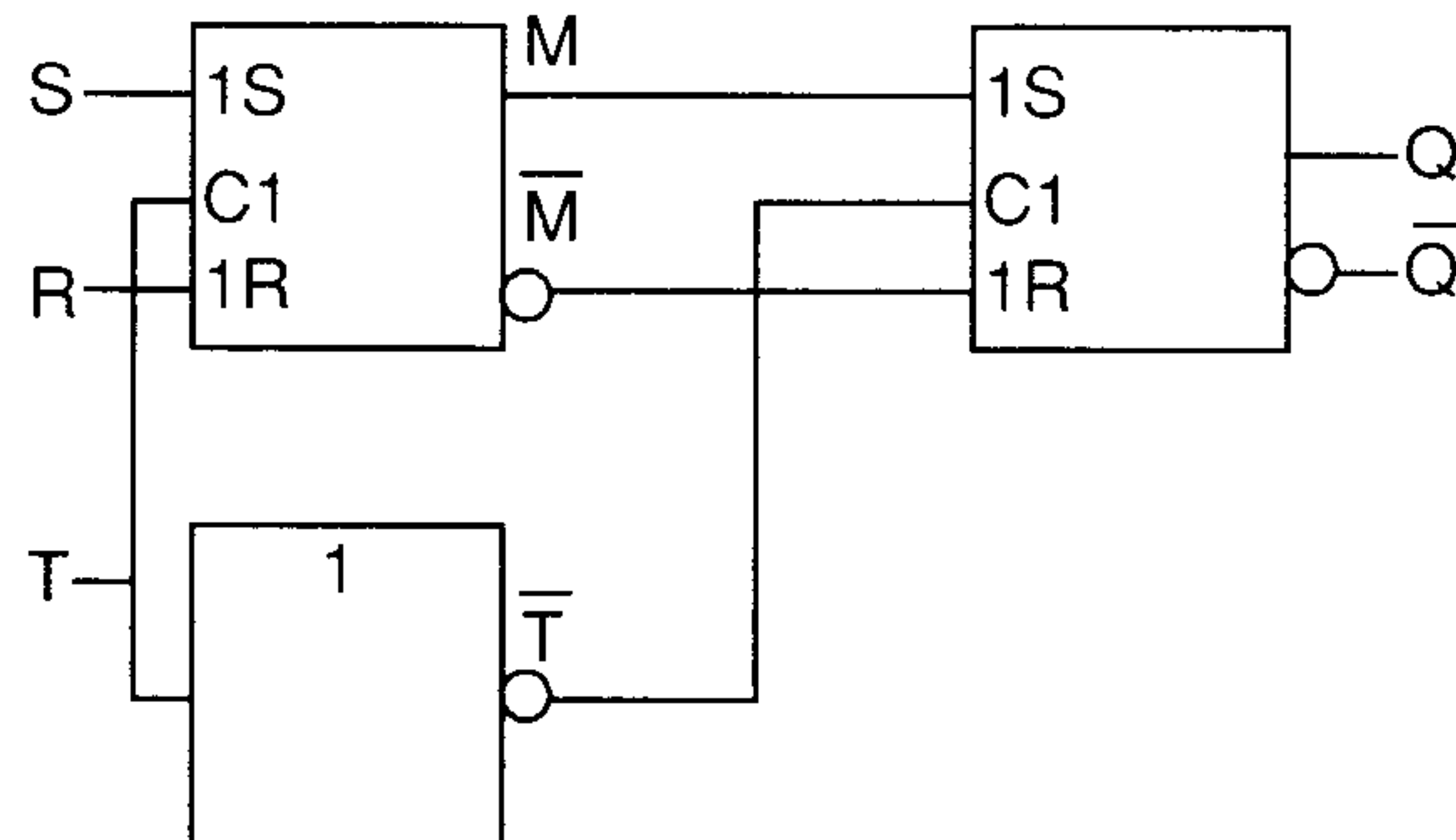
Het schemasymbool voor de geklokte RS-flipflop staat in figuur 12.3-4.



Figuur 12.3-4 Schemasymbool van een geklokte RS-flipflop.

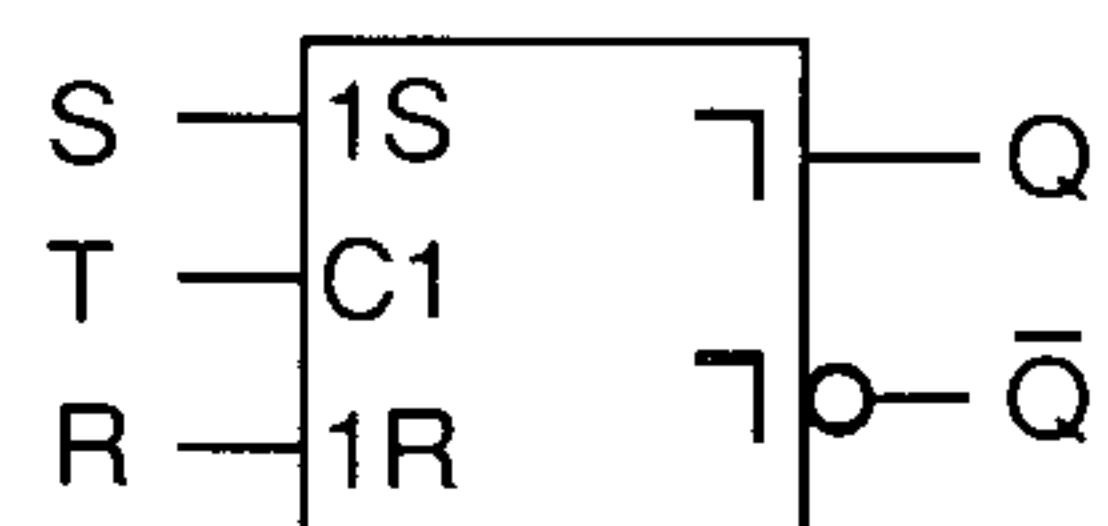
Het master-slave principe

Een master-slave (meester-slaaf) flipflop bestaat uit 2 flipflops, die het signaal na elkaar overnemen. Het principeschema staat in figuur 12.3-5 en het eigenlijke schemasymbool in figuur 12.3-6. De eerste flipflop (de master) neemt de toestand van R en S over als $T = 1$. De tweede flipflop (de slave), die via de NIET-poort een \bar{T} ontvangt, zal de informatie op de uitgangen M en \bar{M} van de master overnemen op het moment dat $T = 0$ wordt, want dan wordt $\bar{T} = 1$.



Figuur 12.3-5 Master-slave flipflop.

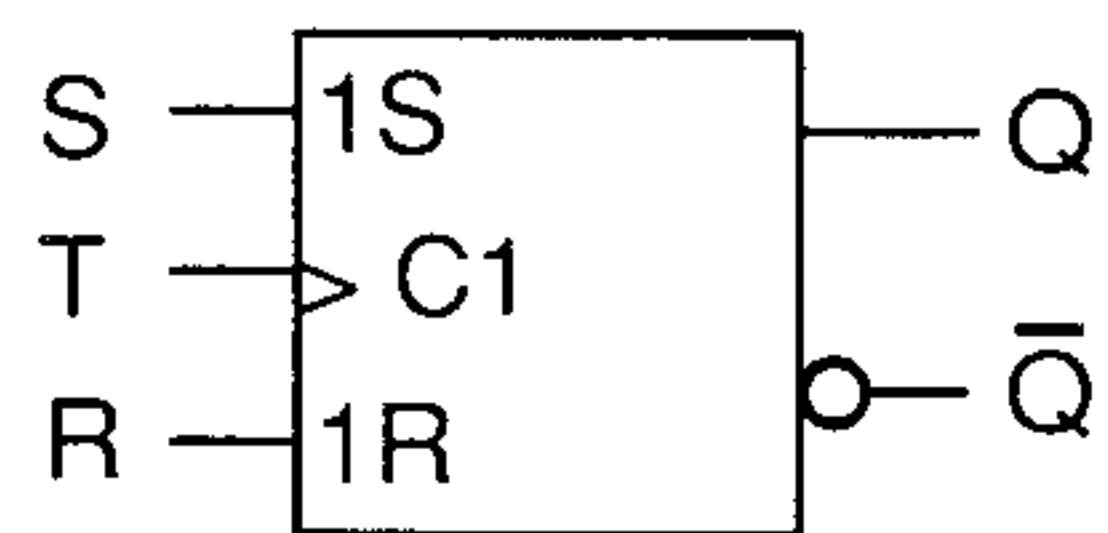
In figuur 12.3-6 is het master-slave principe te herkennen aan de hoekjes bij de uitgangen. Deze stellen de achterkant van de klokpuls voor. Het master-slave principe waarborgt een nog betere storingsvrijheid dan de geklokte enkele flipflop, omdat storingen gedurende de tijd dat $T = 1$ geen invloed op de toestand van Q- en \bar{Q} -uitgangen hebben. De uitgangen nemen de toestand van R en S over van het ogenblik, dat onmiddellijk voorafgaat aan de overgang van $T = 1$ naar $T = 0$ (mits $R = \bar{S}$).



Figuur 12.3-6 Schemasymbool van een master-slave flipflop.

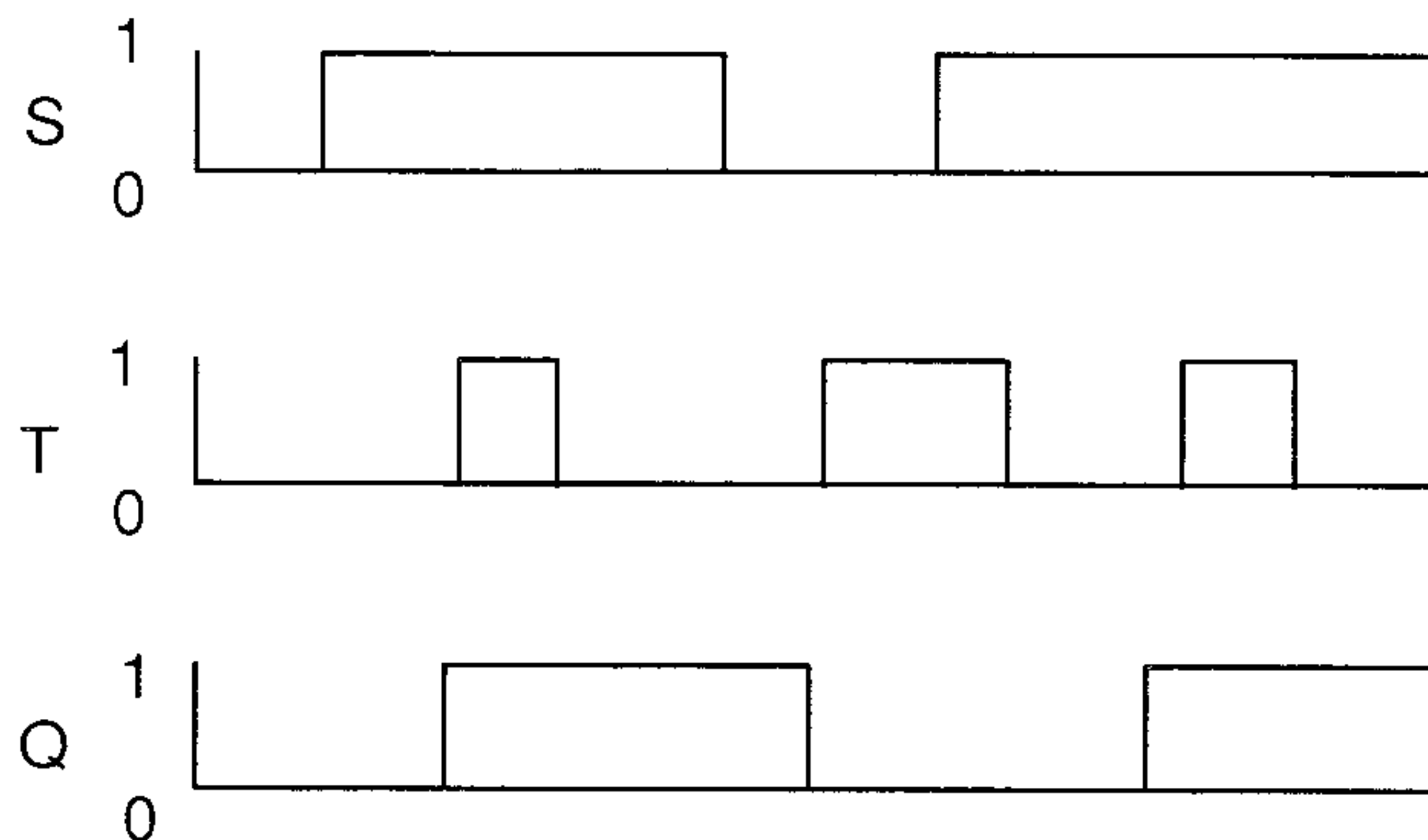
De flankgestuurde RS-flipflop

Zelfs tijdens de aller kortste klokpuls is het nog mogelijk dat storing optreedt, waardoor de flipflop niet de gewenste toestand krijgt. Weliswaar is die kans per klokpuls erg klein, maar als een flipflop in een systeem per minuut tientallen of zelfs honderden miljoenen keren van inhoud moet veranderen, moeten we ook met heel kleine kansen rekening houden. De flankgestuurde flipflop reageert alleen op de opgaande of de neergaande flank van de klokpuls. Daardoor blijft er voor eventuele stoorsignalen nauwelijks nog tijd over om een ongewenste invloed te hebben op de werking van de flipflop. Het schemasymbool staat in figuur 12.3-7. De flanksturing is aangegeven met het >-teken bij de klokingang.



Figuur 12.3-7

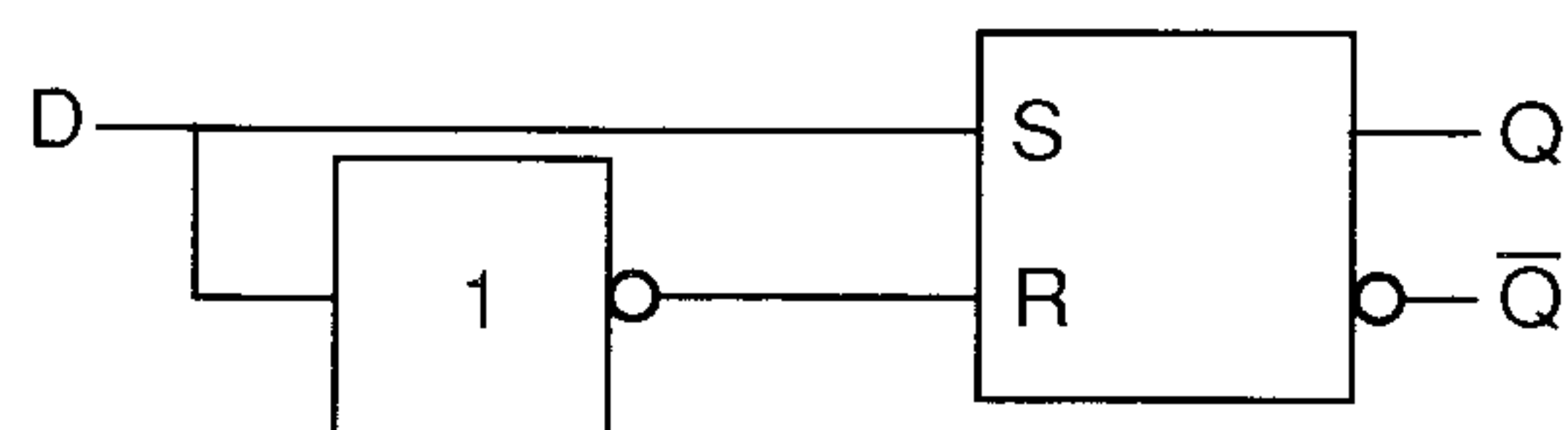
De gang van zaken (uitgaande van de veronderstelling dat $S = R$) is afgebeeld in het diagram van figuur 12.3-8. In figuur 12.3-8 geeft een hoge positie een 1 en een lage een 0 weer.



Figuur 12.3-8

De D-flipflop

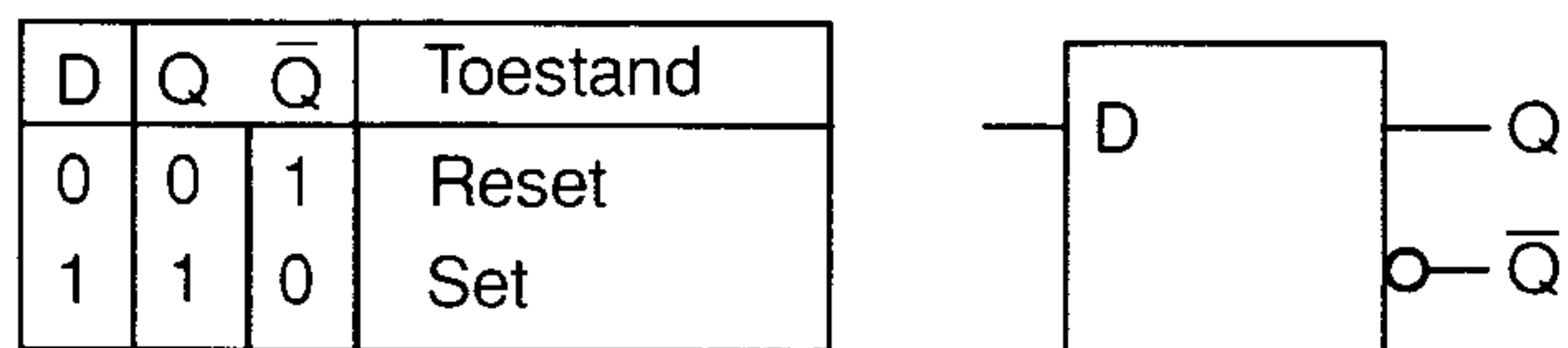
Als tussen de ingangen van een RS-flipflop een NIET-poort wordt geschakeld (figuur 12.3-9), dan is een verboden toestand op de ingangen onmogelijk geworden. Tegelijkertijd heeft de schakeling als geheel nog maar één signaalingang (afgezien van een eventuele klokingang). Deze signaalingang heet de D-ingang. Omdat ook de onthoudstand ($R = S = 0$) onmogelijk is geworden, is het nut van een dergelijke D-flipflop nogal beperkt.



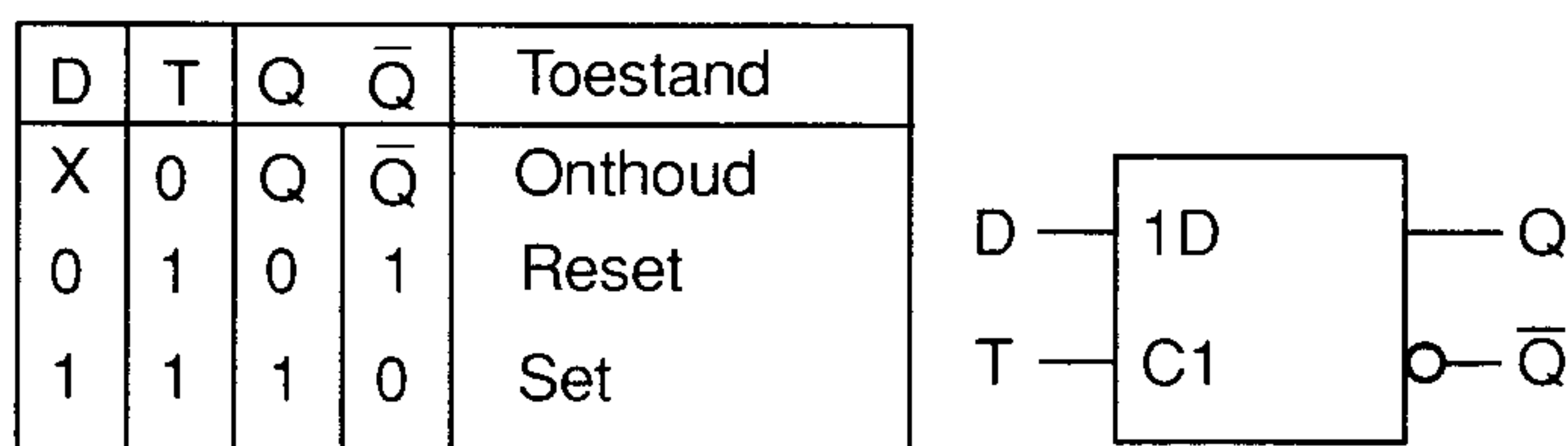
Figuur 12.3-9 Een D-flipflop.

Als we echter de flipflop voorzien van een klokingang, dan hebben we een geheuelement dat de tijdens de laatste klokpuls aanwezige toestand op de D-ingang onthoudt tot de volgende klokpuls. Een D-flipflop kan overigens ook flankgestuurd zijn. Een impulsgestuurde (geklokte) D-flipflop staat ook bekend onder de Engelse naam "bi-stable latch". De term bi-stable duidt op de twee stabiele toestanden die de schakeling kent: het onthouden van een 0 of een 1 op de D-ingang tijdens de klokpuls. De term latch betekent grendel: de schakeling is a.h.w. vergrendeld, zolang er geen klokpuls optreedt. De verschillende schemasymbolen staan in figuur 12.3-10 t/m 12.3-13. Figuur 12.3-10 geeft de meest eenvoudige D-flipflop met bijbehorende waarheidstabel, figuur 12.3-11 de geklokte D-flipflop met waarheidstabel en

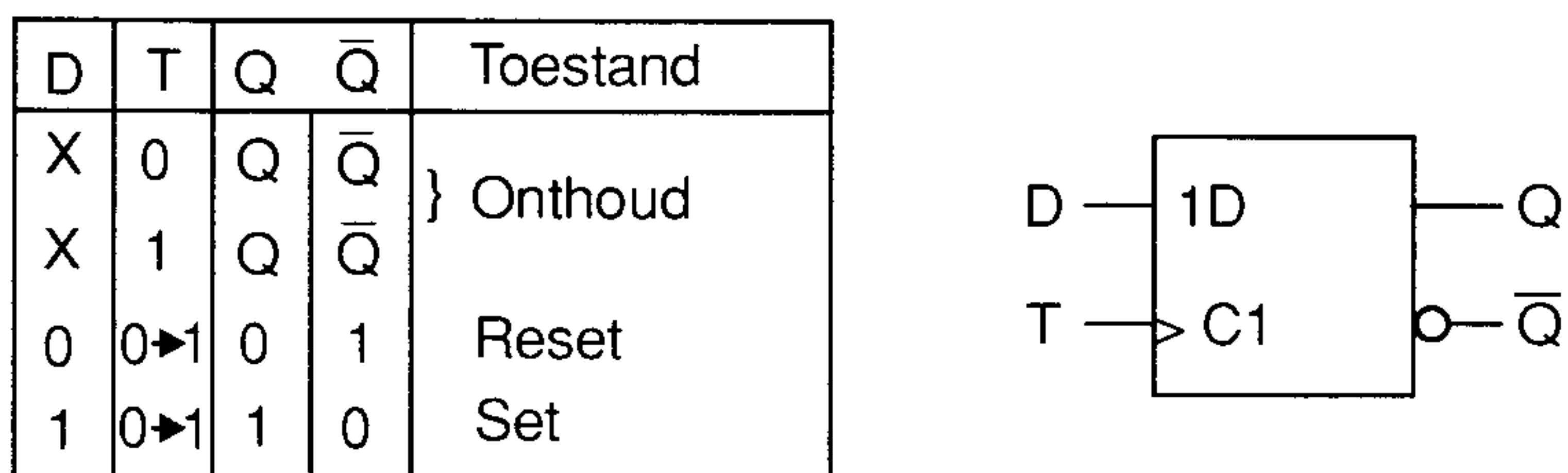
figuur 12.3-12 de flankgestuurde uitvoering, eveneens met waarheidstabel. Figuur 12.3-13 tenslotte geeft de D-flipflop volgens het master-slave principe, dat ook in dit geval mogelijk is.



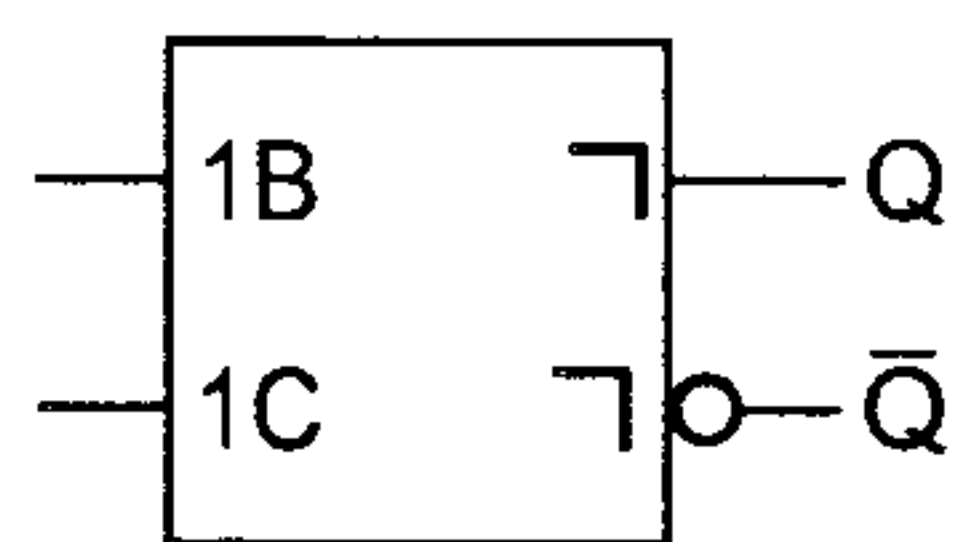
Figuur 12.3-10 Eenvoudige D-flipflop.



Figuur 12.3-11 Geklokte D-flipflop.



Figuur 12.3-12 Flank gestuurde D-flipflop.



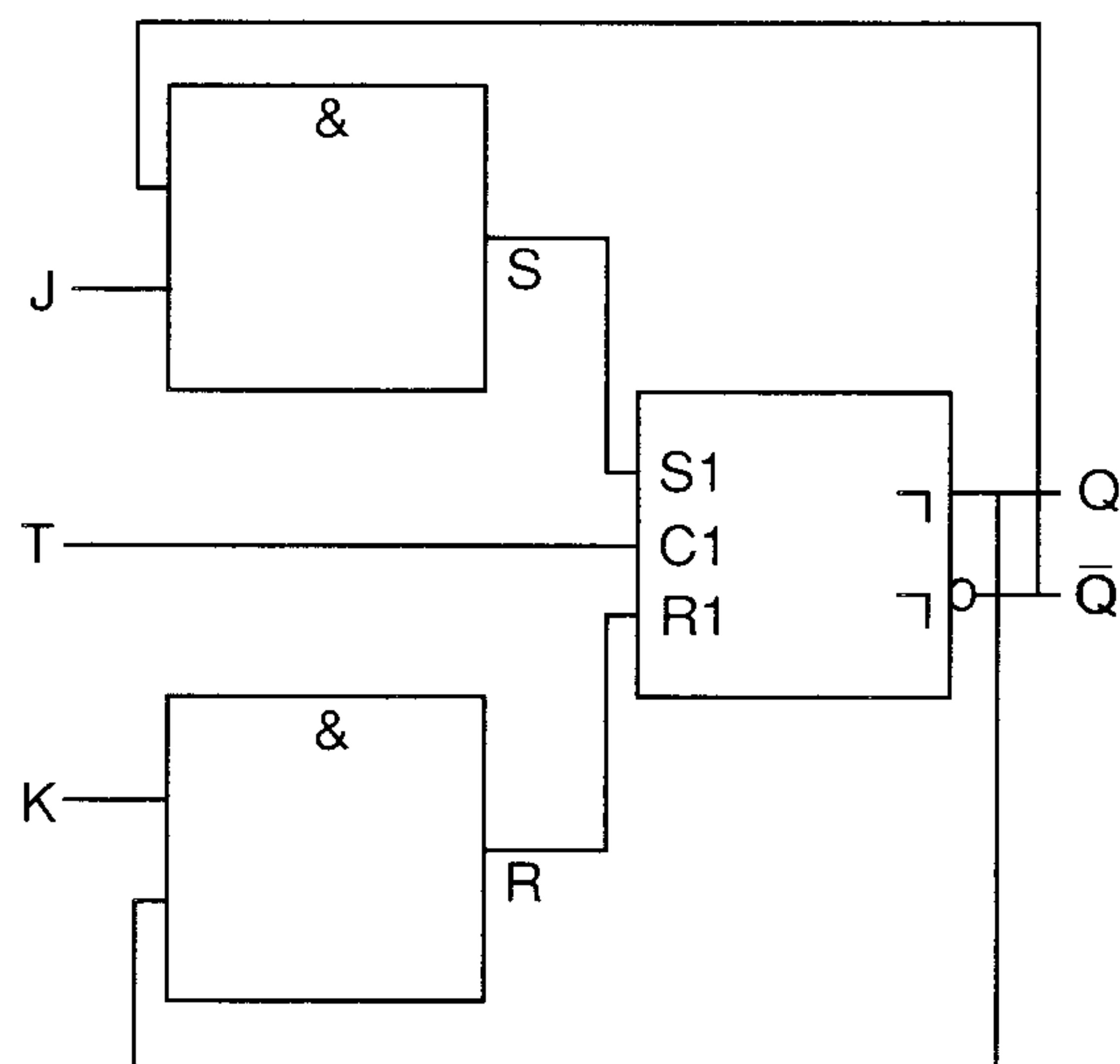
Figuur 12.3-13 Master-slave D-flipflop.

De JK-flipflop

De master-slave JK-flipflop is een flipflopschakeling die geen verboden toestand kent. De opzet is aangegeven in figuur 12.3-14.

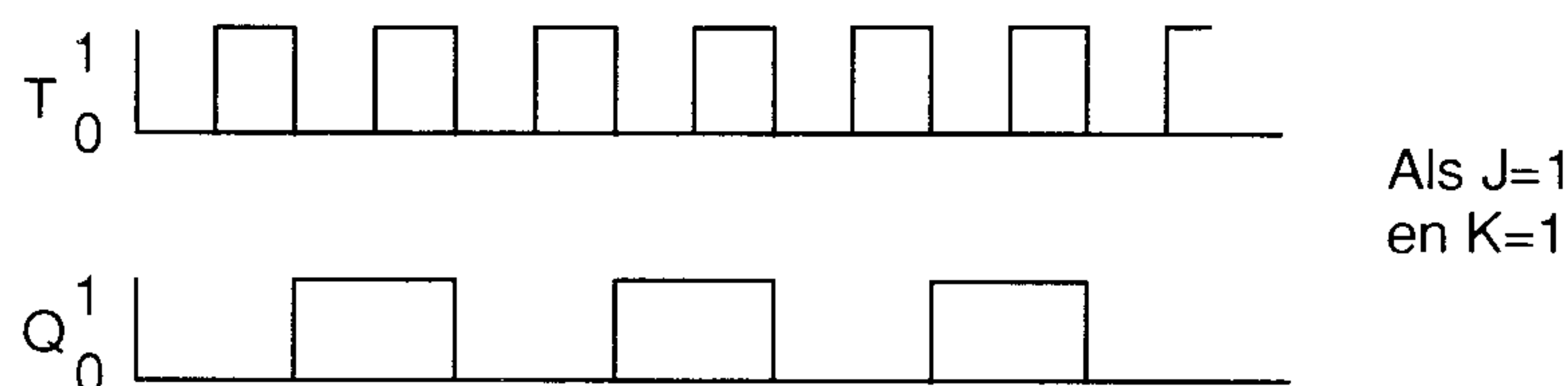
De JK-flipflop bestaat uit een geklokte RS-flipflop, waarbij de R- en de S-ingang beide worden voorafgegaan door een EN-poort. Een van de twee ingangen van de EN-poort op de S-ingang is verbonden met de \bar{Q} -uitgang en een van de twee ingangen van de EN-poort op de R-ingang met de Q-uitgang. De overgebleven twee ingangen op de EN-poorten heten respectievelijk de J- en de K-ingang. Er is verder een klokingang. Omdat de uitgangen met de ingangen gekoppeld zijn, heeft de toestand op de uitgangen invloed op de manier, waarop de schakeling als geheel reageert op

de J- en de K-ingang. In de set-toestand is $Q = 1$ en $\bar{Q} = 0$, net als bij de RS-flipflop. De toestand op de J-ingang heeft nu geen invloed, want de EN-poort op de S-ingang blokkeert. Om te resetten is behalve $Q = 1$ ook nodig: $K=1$ en een klokpuls.



Figuur 12.3-14 De JK-flipflop.

Na de reset is $Q = 0$ en $\bar{Q} = 1$. Nu heeft de toestand op de K-ingang geen invloed. Een set kan nu alleen worden veroorzaakt door $J=1$ en een klokpuls (\bar{Q} is al 1). J en K kunnen dus alleen om beurten de flipflop setten, respectievelijk resetten. Als nu zowel $J = 1$ als $K = 1$, dan zal op elke klokpuls de toestand op de uitgangen veranderen, dat wil zeggen elke keer als de klokpuls 1 wordt, veranderen Q en \bar{Q} . Dit is weergegeven in het diagram van figuur 12.3-16.



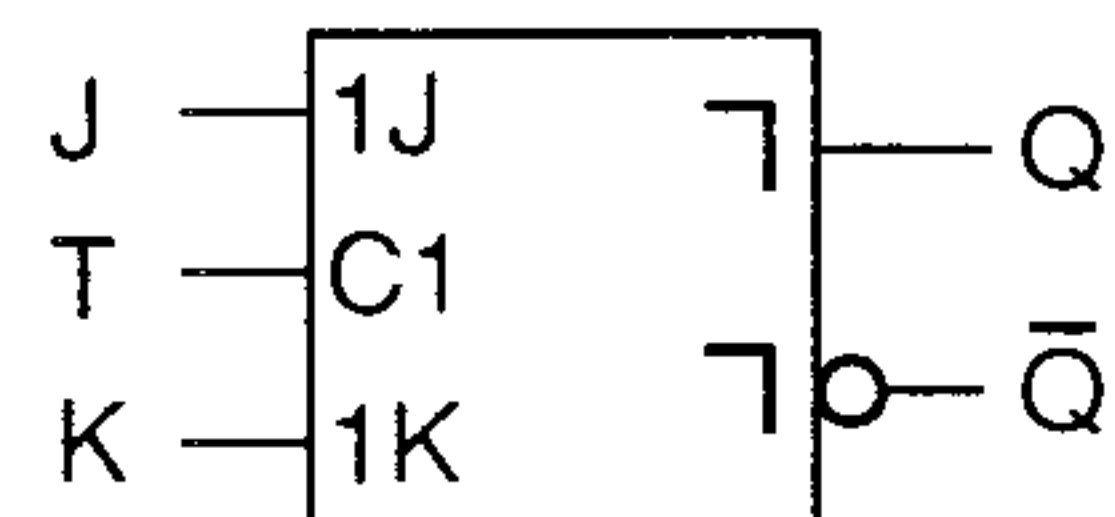
Figuur 12.3-16 Gedrag van de JK-flipflop.

We zien nu, dat de frequentie op de uitgangen de helft is van die op de klokingang T. De schakeling werkt dus als frequentiedeler: hij deelt de klopfrequentie door 2. Zoals uit de hieronder gegeven waarheidstabel (tabel 12.3-4) blijkt, is er geen verboden ingangstoestand meer, we hebben toch twee ingangen en we hebben ook nog een frequentiedeler!

J	K	T	Q	niet Q	toestand
0	0	010	Q	\bar{Q}	onthoud
0	1	010	0	1	reset
1	0	010	1	0	set
1	1	010	Q^{n-1}	\bar{Q}^{n-1}	omslag (tweedeler)

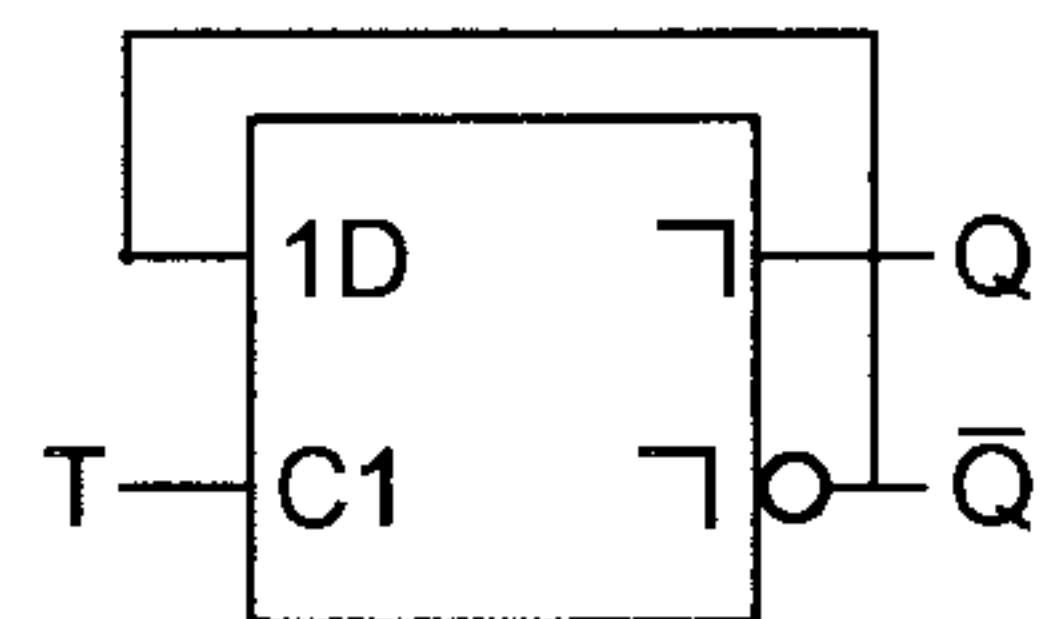
Tabel 12.3-4 Waarheidstabel voor een master-slave JK-flipflop.

Het schemasymbool voor de master-slave JK-flipflop is weergegeven in figuur 12.3-15.



Figuur 12.3-15 Schemasymbool van de master-slave JK-flipflop.

Ook van de master-slave D-flipflop is een tweedeler te maken (figuur 12.3-17). Als de flipflop geset is ($Q = 1$, $\bar{Q} = 0$), dan zal op de achterflank van de klokpuls de flipflop door $\bar{Q} = 0$ worden gereset ($Q = 0$, $\bar{Q} = 1$) (bedenk, dat de uitgang van een master-slave D-flipflop alleen op de achterflank van de klokpuls reageert).



Figuur 12.3-17 Schemasymbool van de master-slave D-flipflop.

Door de volgende klokpuls zal $\bar{Q} = 1$ de flipflop weer setten, enz. Op de achterflank van iedere klokpuls veranderen de uitgangen van inhoud.

Uitbreidingen

Er zijn nog talloze varianten op de nu behandelde flipflops te bedenken. Zo kan men bij een JK-flipflop de S- en R-ingangen naar buiten uitvoeren, men kan met behulp van OF-poorten meerdere J- en K-ingangen maken, al naar gelang het doel dat men met de schakeling voor ogen heeft. In de moderne IC-techniek zijn dergelijke varianten zonder veel problemen te produceren, met losse onderdelen kunnen het zeer omvangrijke schakelingen worden. We komen daarom flipflops en daarvan afgeleide schakelingen vrijwel uitsluitend in IC-vorm tegen. Een aantal uitvoeringen van IC's is afgebeeld in figuur 12.3-18. De afstand tussen de aansluitpennen is in de regel 0,1 inch (2,54 mm). Bedenk, dat het eigenlijke IC, de chip die in de behuizing zit, nog vele malen kleiner is dan de behuizing zelf.

Samenvatting

We hebben nu de volgende typen flipflops behandeld:

1. De RS-flipflop in zijn eenvoudigste vorm. Voordeel: eenvoud. Nadeel: storingsgevoeligheid en geen mogelijkheid om een verboden toestand op de ingang te vermijden.
2. De geklokte RS-flipflop die ten opzichte van de gewone RS-flipflop een verbeterde ongevoeligheid voor storingen heeft, maar het bezwaar van een verboden ingangstoestand houdt.
3. De master-slave RS-flipflop met een verder verbeterde ongevoeligheid voor storingen en wederom een verboden ingangstoestand.
4. De flankgestuurde RS-flipflop met zeer goede ongevoeligheid voor storingen, maar nog steeds met een verboden ingangstoestand.
5. De D-flipflop met één ingang, in diverse vormen: geklokt in de vorm van bi-stabiele latch uitstekend geschikt als geheugenelement en, werkend volgens het master-slave principe, tevens geschikt als frequentiedeler. De D-flipflop kent géén verboden ingangstoestand, want er is in feite maar één ingang.
6. De JK-flipflop volgens het master-slave principe: 2 ingangen zonder verboden toestanden, geschikt als geheugenelement en tevens geschikt als frequentiedeler: de meest ingewikkelde, maar ook de meest veelzijdige.

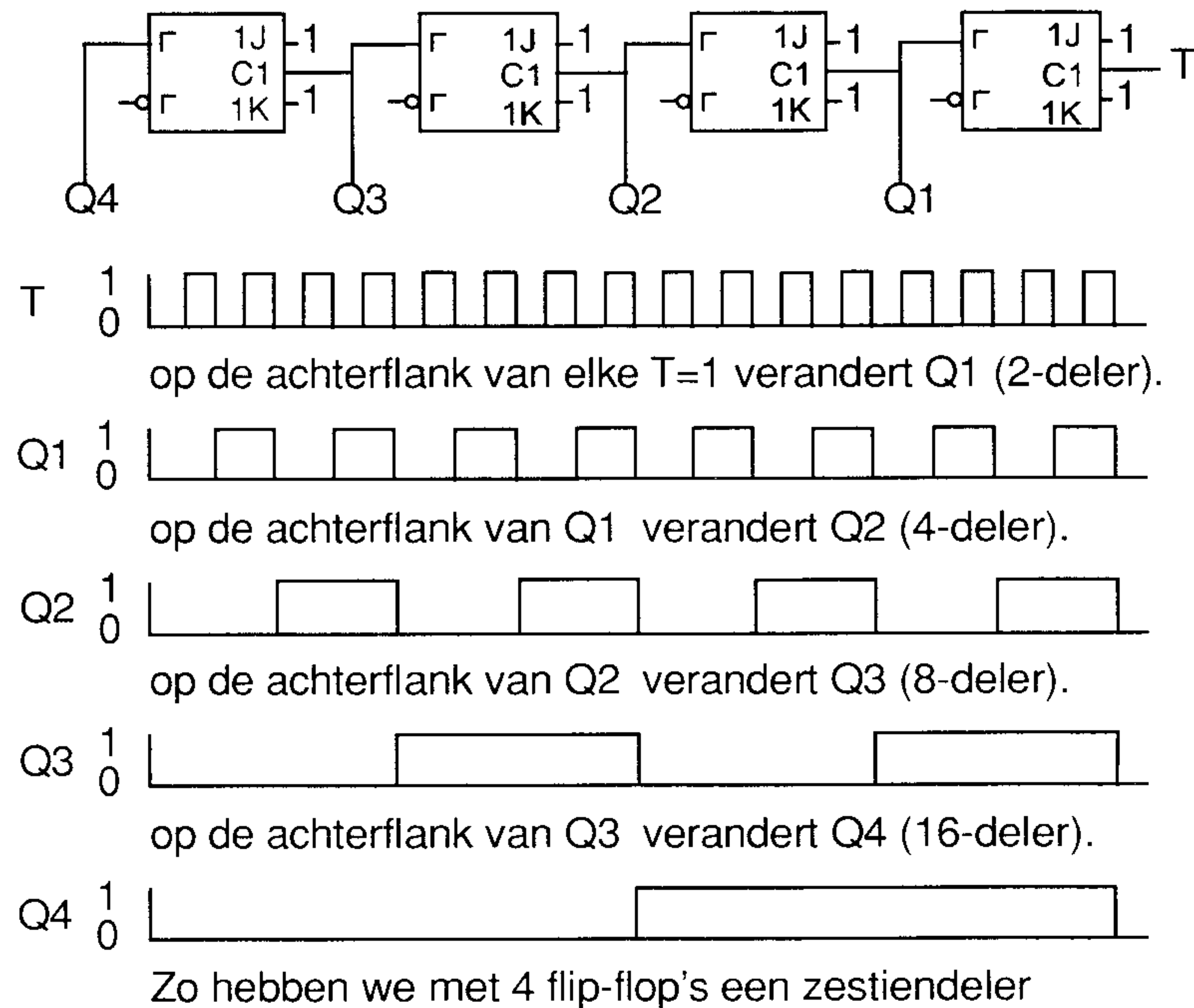
Opgaven

1. Vier JK-flipflops zijn zo in serie geschakeld, dat de Q-uitgang van een flipflop de klokpuls levert voor de volgende. De J- en K-ingangen zijn alle 1. Op de klokingang van de eerste flipflop staat een kloksignaal van 8 MHz. Welke frequentie vinden we op de Q-aansluiting van de laatste?
2. Gegeven is een geklokte RS-flipflop. Teken een schema van een schakeling, waarin hiervan een bi-stabiele latch wordt gemaakt (poorten toevoegen mag).
3. Welke 2 typen flipflops kennen geen verboden ingangstoestand en waarom niet?
4. Teken een schema van een frequentiedeler met 2 master-slave D-flipflops in serie. Door hoeveel wordt de frequentie gedeeld?
5. Zou het mogelijk zijn, een flipflop te maken met uitsluitend EN- en OF-poorten? Zo ja, waarom; zo nee, waarom niet?

12.4 Delers, tellers en registers

Zoals we in 12.3 zagen, is het mogelijk, met behulp van master-slave JK flipflops frequentiedelers te maken. Figuur 12.4-1 geeft het schema van een tellerschakeling. De te delen frequentie komt binnen op de T-ingang rechts. Q_1 geeft de frequentie gedeeld door 2. Het signaal op Q_1 wordt toegevoerd aan de klokingang van de tweede flipflop, waardoor de halve frequentie van Q_1 op Q_2 verschijnt, enz. Merk op, dat de J- en K-ingangen alle 1 zijn (anders werkt de zaak niet). Het hele proces is uitgebeeld in het diagram onder het schema van figuur 12.4-1. Een deler als die van figuur 12.4-1 heet

een asynchrone deler. Dat komt, doordat de flipflops, als ze van toestand veranderen, dat niet precies gelijktijdig doen. Elke flipflop veroorzaakt namelijk onvermijdelijk een kleine vertraging in het doorgeven van het signaal. Het effect van een klokpuls op de ingang T verplaatst zich dan ook met een eindige snelheid door de rij flipflops. In het Engels wordt dit verschijnsel wel aangeduid met de term "ripple through".



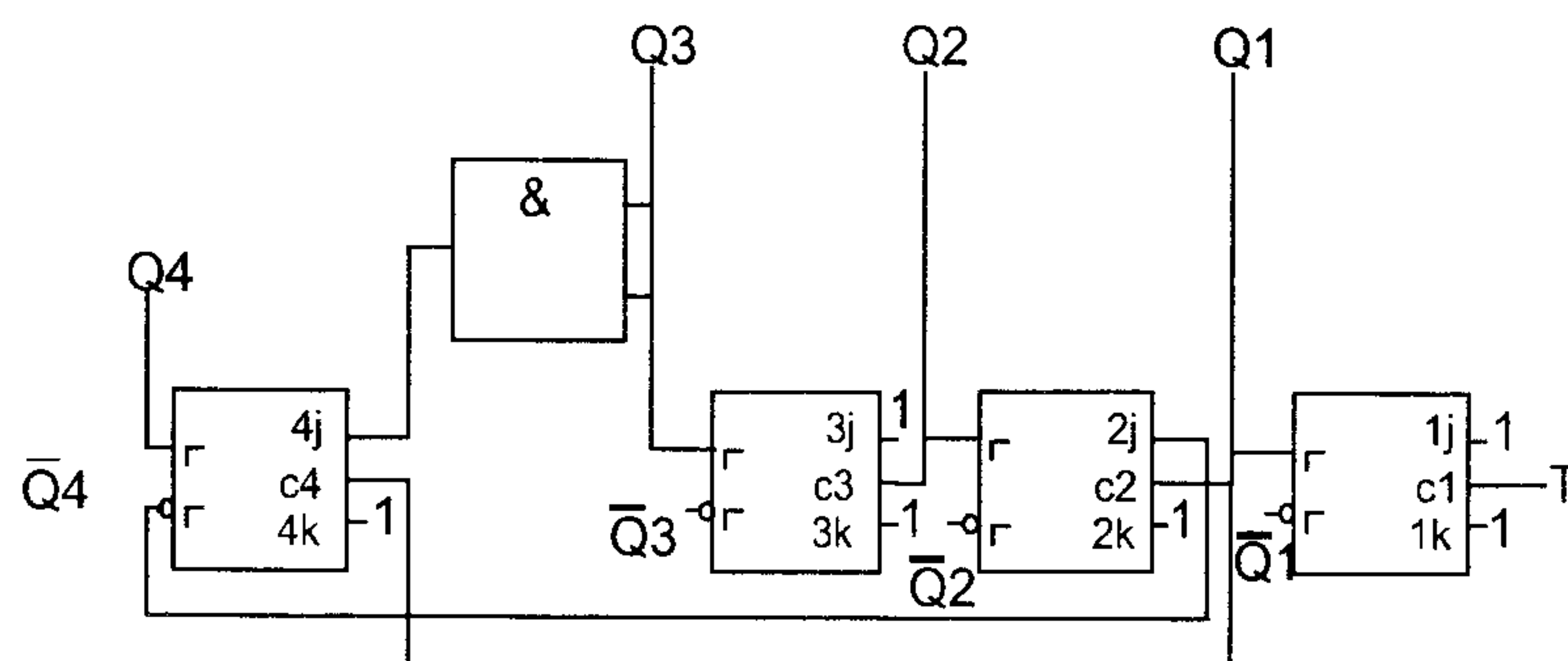
Figuur 12.4-1 Een asynchrone 16-deler.

Bij een synchrone deler wordt de klokpuls op ingang T via een aanvullende schakeling ook gebruikt om de flipflops gelijktijdig van inhoud te laten veranderen (voorzover dat op grond van de toestand van hun respectievelijke ingangen moet). De schakeling van figuur 12.4-1 is ook een teller: de toestand (of inhoud) van Q_1 t/m Q_4 is een binair getal, waarvan de laagste waarde 0 en de hoogste 15 is.

Dit is uitgewerkt in tabel 12.3-5. Onze teller kan dus van 0 tot 15 tellen, bij de 16^{de} klokpuls valt hij weer terug op 0. Het verloop in de tabel is volkomen te vergelijken met een kilometerteller in een auto, alleen werkt de laatste in het 10-talig stelsel. Als de maximale stand is bereikt (bijv. 99999 km), gaat de teller over de kop en begint weer op 0. Onze elektronische teller heeft (inclusief de 0-stand) 16 verschillende standen en heet daarom een 16-teller (of 16-deler, dat maakt geen verschil). Een teller met 3 flipflops is een 8-teller (2^3), één met 5 flipflops een 32-teller (2^5). In het algemeen kan men zeggen dat een teller met n flipflops maximaal tot 2^{n-1} kan tellen en inclusief de nulstand maximaal 2^n standen kent. Als we een tabel maken met de getalswaarde van de Q-uitgangen van de flipflops, dan blijkt dat we een terugteller hebben: hij begint op 15, gaat naar 14, 13, enz. en springt na de 0 weer op 15. Probeer dit zelf eens uit te werken in een tabel zoals tabel 12.3-5 voor de Q-uitgangen.

Aantal klokpulsen	Q4	Q3	Q2	Q1	decimale waarde
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0
17	0	0	0	1	1

Tabel 12.3-5 De toestanden van een synchrone 16-deler



Figuur 12.4-2 Opbouw van een 10-deler.

Tellers en delers voor andere getallen dan machten van 2

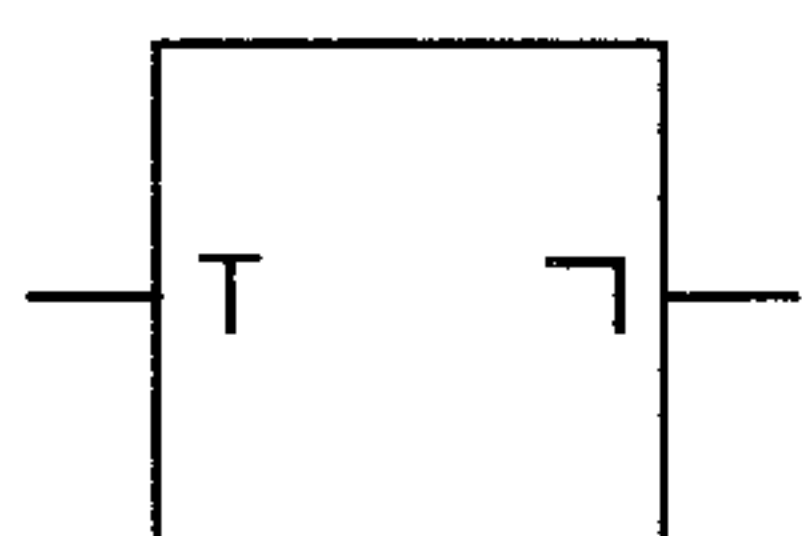
De delers (tellers) waarover we het tot nog toe hebben gehad, waren steeds delers voor hele machten van 2. Met een kleine ingreep is elke deler geschikt te maken voor deling door elke kleinere gehele waarde. Deze ingreep is aangegeven in figuur 12.4-2.

Aan de schakeling is een EN-poort toegevoegd. De uitgang is verbonden met de J-ingang van flipflop 4 en Q_1 is verbonden met de klokingang van flipflop 4. Q_2 en Q_3 zijn verbonden met de ingangen van de EN-poort. De EN-poort zal de J-ingang nr. 4 1 maken als Q_2 en Q_3 1 zijn, dus bij de tellerstand 6. Dan kan flipflop 4 reageren op de volgende achterflank van Q_1 (bij stand 7) en wordt Q_4 1. De teller staat dan op 8. Vervolgens wordt Q_1 weer 1 en de teller staat op 9. De volgende klokpuls zorgt weer voor een

achterflank van Q_1 , waardoor flipflop wordt gereset, zodat de hele teller op 0 springt. We hebben zo dus van een 16-teller een 10-teller gemaakt. De hele gang van zaken is nog eens weergegeven in onderstaande tabel. Als we nu bijv. $\overline{Q_1}$ t/m $\overline{Q_4}$ verbinden met de ingangen van een EN-poort, dan zal de uitgang van die poort bij elke 0-stand van de teller 1 zijn.

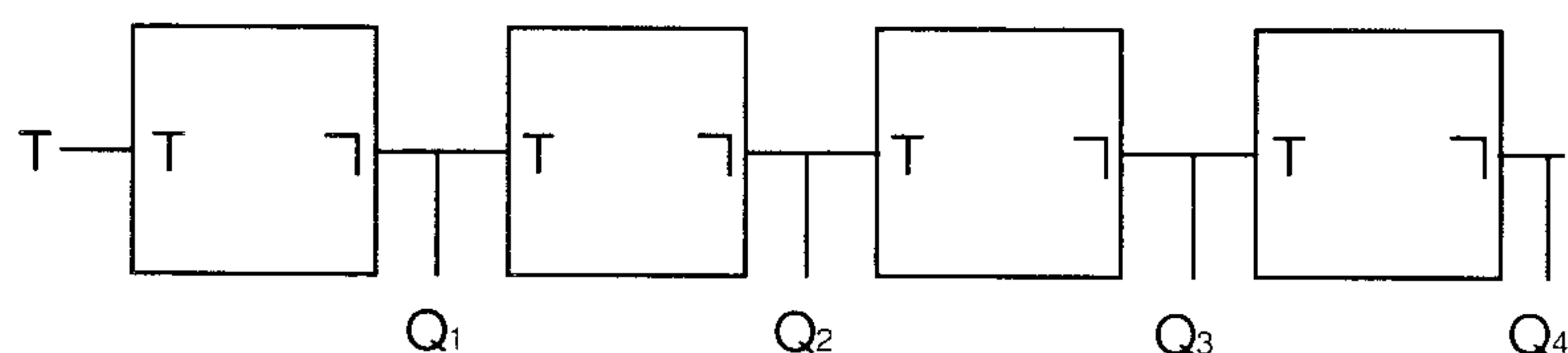
klok	Q4	Q3	Q2	Q1	4J	decimaal
0	0	0	0	0	0	0
1	0	0	0	1	0	1
2	0	0	1	0	0	2
3	0	0	1	1	0	3
4	0	1	0	0	0	4
5	0	1	0	1	0	5
6	0	1	1	0	1	6
(de EN poort geeft nu een '1' op zijn uitgang)						
7	0	1	1	1	1	7
8	1	0	0	0	0	8
(flipflop 4 is geset door de achterflank van Q1: 4J is nu weer 0)						
9	1	0	0	1	0	9
(bij de volgende achterflank van Q1 wordt flipflop 4 weer gereset)						
10	0	0	0	0	0	0

Tabel 12.3-6 De toestanden van een 10-deler



Figuur 12.4-3 Symbool van een T-flipflop.

Aangezien die 0-stand één van de 10 mogelijke tellerstanden is, hebben we de klokfrequentie door 10 gedeeld. Op deze manier kunnen we delers en tellers voor alle gehele getallen maken. Let op: een n-deler telt altijd van 0 tot en met n-1: een 100-deler telt van 0 tot en met 99, een 2-deler van 0 tot en met 1, een 16-deler van 0 tot en met 15. Om te weten hoeveel flipflops er in een deler moeten zitten, bepalen we de dichtstbijzijnde hogere macht van 2. Voor een tiendeler is dat $16=2^4$. $2^3=8$ is te weinig. Voor een tiendeler hebben we dus 4 flipflops nodig. Voor een 2^5 -deler hebben we er 5 nodig (2^4 is 16 en dat is te weinig; 2^5 is 32 en dat is genoeg). Combinatie van delers (serieschakeling) levert als deeltal het product van de afzonderlijke deeltallen. Een 3-, een 5- en een 6-deler leveren dus een deeltal van $3 \cdot 5 \cdot 6 = 90$ op, en *niet* $3 + 5 + 6 = 14!$ Denk daar op het examen goed om, veel mensen trappen erin. Het schemasymbool van een flipflop die als tweedeler dienst doet ziet eruit als aangegeven in figuur 12.4-3. We noemen deze flipflop een toggle flipflop of T-flipflop. Het schema van de zestindeler van figuur 12.4-1 komt er dan uit te zien als in figuur 12.4-4.



Figuur 12.4-4 Een zestiendeler met T-flipflops.

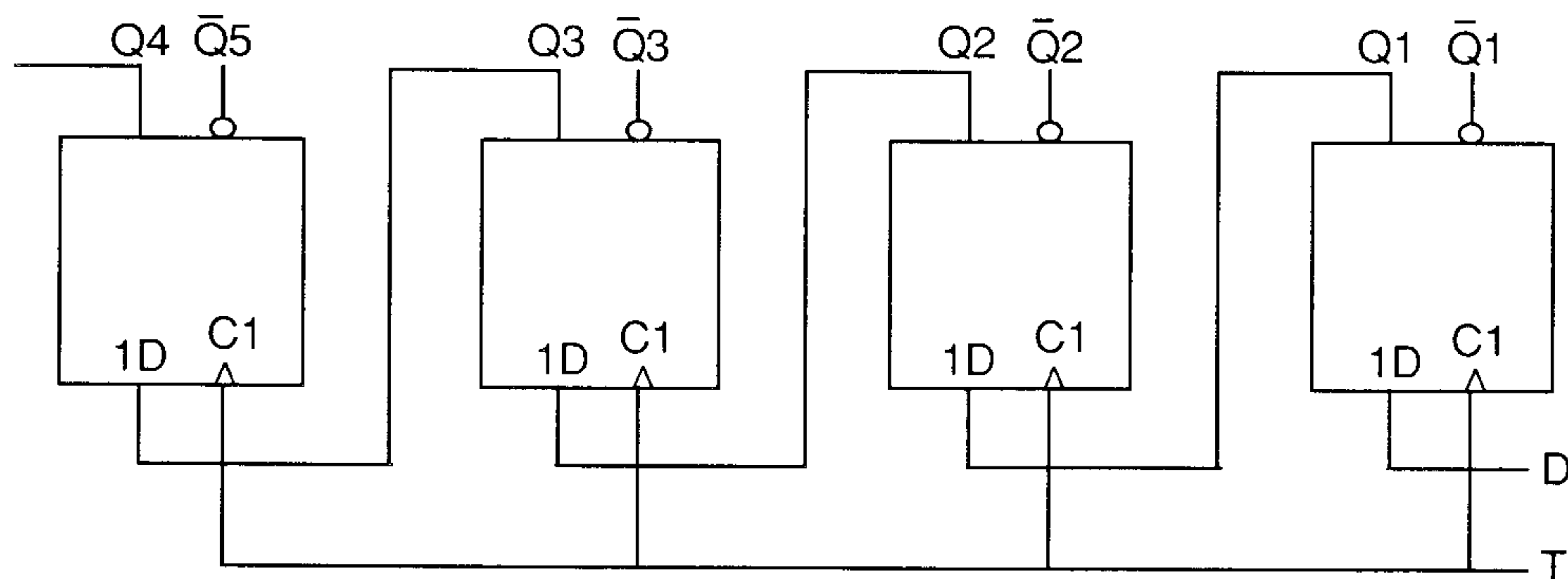
Schuifregisters

Een flipflop is, zoals we zagen, in staat een binair cijfer (0 of 1) te onthouden. Een binair cijfer (binary digit in het Engels) wordt meestal een *bit* genoemd. Een flipflop kan zijn inhoud doorgeven aan een volgende flipflop. Op die manier is het mogelijk, een compleet binair getal in en uit een rij flipflops te schuiven. Deze rij flipflops heet dan ook een schuifregister. In principe is elke flipflop daarvoor bruikbaar, mits in de schakeling passende maatregelen worden genomen. Meestal wordt de flankgestuurde D-flipflop voor dit soort schakelingen gebruikt. Er is dan een aantal van zulke flipflops geïntegreerd op één chip.

Serie-invoer

Figuur 12.4-5 geeft het schema van een schuifregister met vier flankgestuurde D-flipflops.

De klokingangen zijn verbonden, zodat ze gelijktijdig worden aangestuurd door dezelfde klokpuls. Op de flank van elke klokpuls (afhankelijk van het type de opgaande of de neergaande) wordt de toestand van de D-ingang van de meest rechtse flipflop vastgelegd op de Q-uitgang van diezelfde flipflop. De toestand van de Q-uitgang, zoals die was op het moment dat de klokpuls begon, wordt op datzelfde moment doorgegeven aan de tweede flipflop, enz.



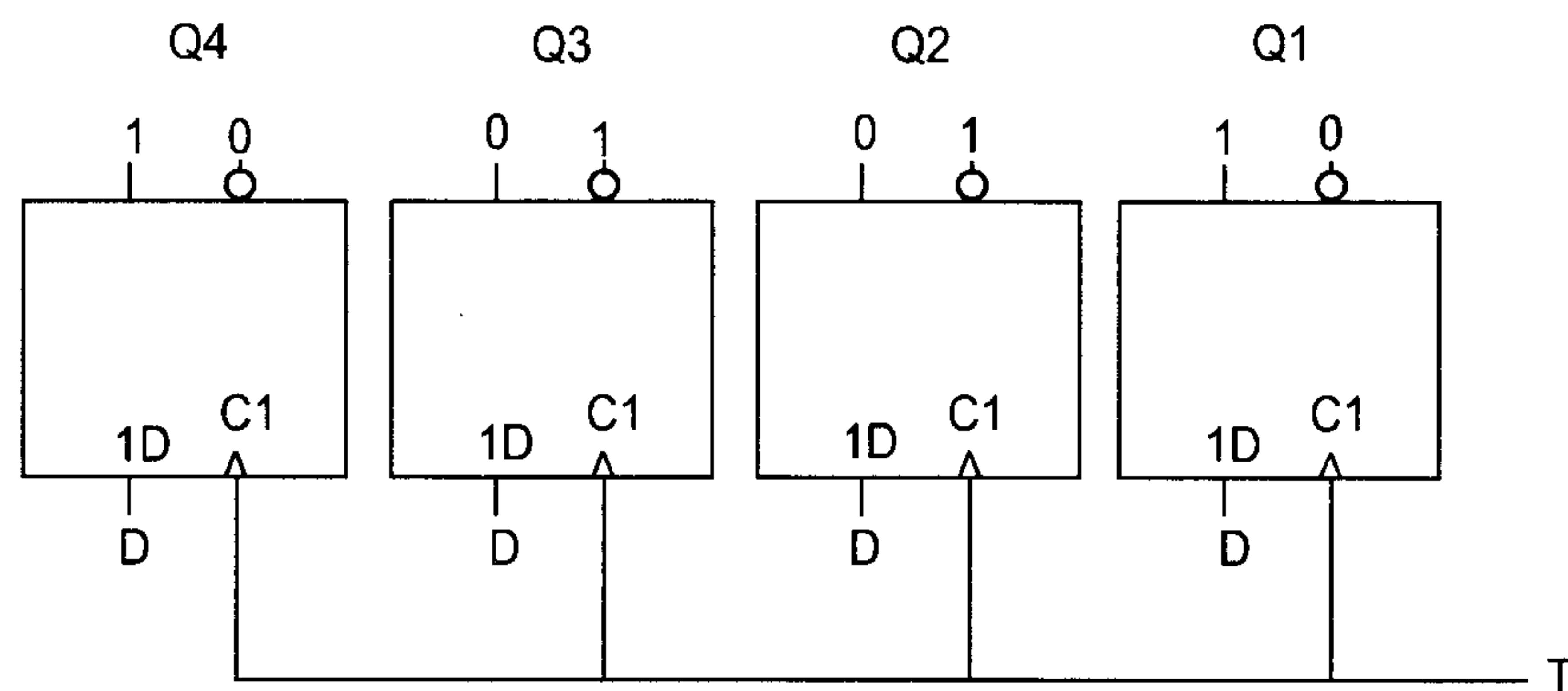
Figuur 12.4-5 De opbouw van een schuifregister met D-flipflops.

Hier blijkt duidelijk het nut van flanksturing, want bij toepassing van niet flankgestuurde flipflops zou de toestand van de ingang van het register tijdens het optreden van de klokpuls meteen doorrollen naar de uitgang. Een andere manier om dat te voorkomen is toepassing van master-slave flipflops. In dat geval wordt bij elke flipflop de toestand op de ingang, zoals die was bij het optreden van de voorflank van de klokpuls, pas bij het optreden van de achterflank doorgegeven naar de uitgang van de flipflop. Het is op deze

manier mogelijk, een binair getal cijfer voor cijfer (bit voor bit) in een schuifregister in te voeren, omdat de flipflops op de flank van elke klokpuls de toestand van de voorganger overnemen en op de ingang van de eerste flipflop een nieuw cijfer kan worden ingevoerd.

Serie-uitvoer

In dezelfde volgorde als bij de invoer, komen de bits aan de achterkant van de flipflop weer tevoorschijn. Zo gezien lijkt het een schuifregister op een etende rups, waar de opgegeten materie na verloop van tijd aan de achterkant weer uitkomt. Het schuifregister doet alleen niet aan spijsvertering, zodat alles er aan de achterkant precies zo uitkomt, als het er aan de voorkant is ingegaan. Wanneer een binair getal bit voor bit wordt verwerkt, heet dat verwerking in *serie*. Als we het schuifregister op de D-ingang achtereenvolgens een 1, een 0, een 0 en een 1 aanbieden (tegelijk met een klokpuls), dan staat na vier klokpulsen het binaire getal 1001 in het register. De eerste 1 staat dan tevens op de uitgang. Na de volgende klokpuls staat er dan een 0, vervolgens weer een 0 en daarna komt de laatst ingevoerde 1 op de uitgang te staan. Daarna is natuurlijk wel het ingevoerde getal volledig uit het register verdwenen.



Figuur 12.4-6 4-bits register met D-flipflops.

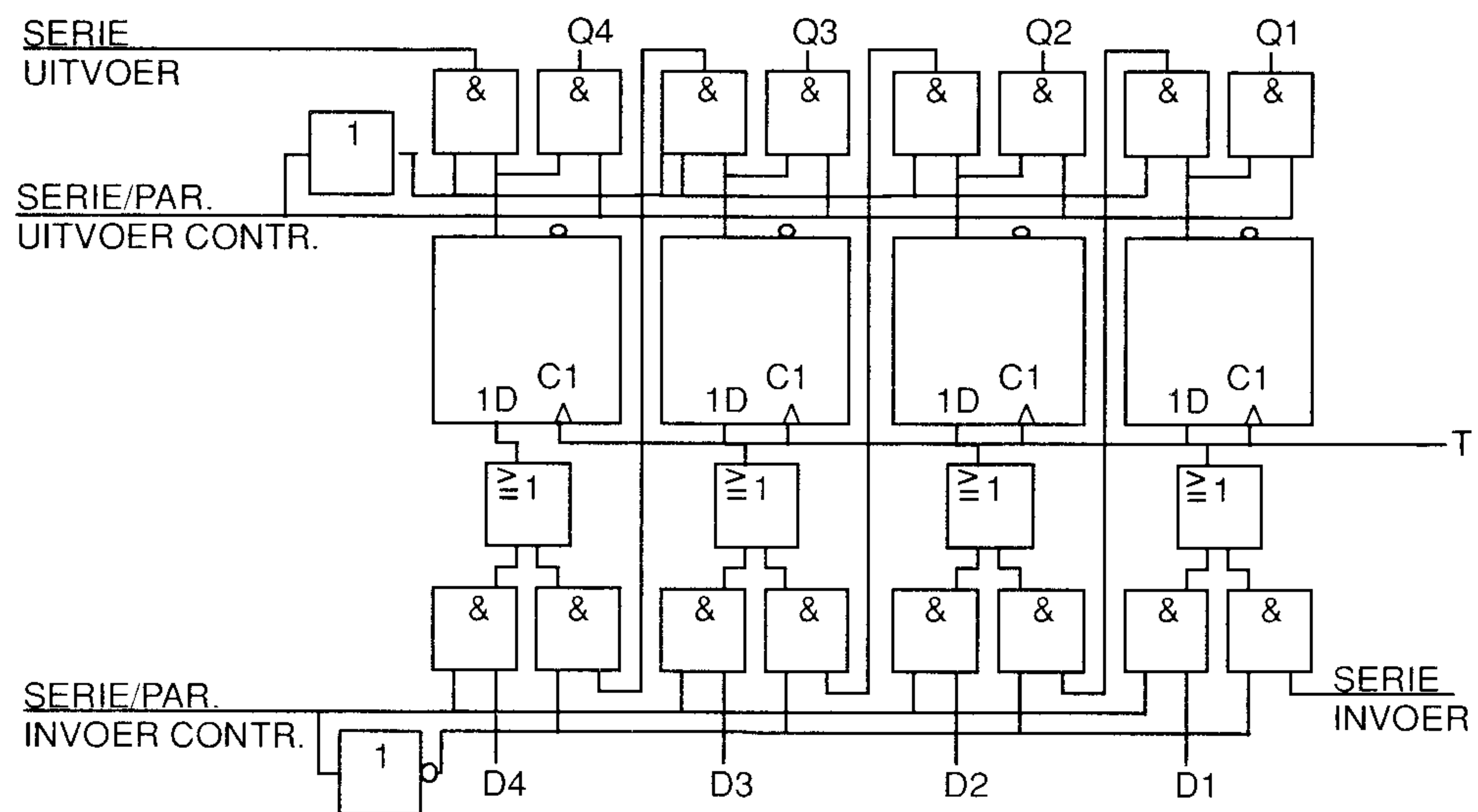
Parallel in- en uitvoer

We kunnen met behulp van een klokpuls ook alle flipflops in een register tegelijk van een nieuwe inhoud voorzien. In dat geval moeten we aantal poorten toevoegen, die ervoor kunnen zorgen, dat de ingangen ook van buitenaf toegankelijk zijn. Een vereenvoudigd schema voor die situatie (zonder poorten) is getekend in figuur 12.4-6. In werkelijkheid zorgen we er met behulp van poortschakelingen voor, dat we van de situatie van figuur 12.4-5 op die van figuur 12.4-6 kunnen overschakelen.

Het is nu mogelijk, alle bits in één keer in het register op te nemen. Dit tegelijk verwerken heet *parallele* verwerking. In dit geval is er sprake van *parallelinvoer*. Het zal duidelijk zijn, dat dit aanmerkelijk sneller gaat dan serie-invoer, zoals hierboven behandeld. Immers, er is nu maar één klokpuls nodig in plaats van vier, om alles in het register op te nemen.

Serie-parallel en parallel-serie omzetting

Het bij de (flank van de) klokpuls op de ingangen aangeboden getal is vervolgens op de uitgangen te vinden. Daarin is geen verschil met serie-invoer. In beide gevallen is de inhoud van het register op de Q-uitgangen parallel beschikbaar (of, via NIET-poorten, ook op de \bar{Q} -uitgangen). Het is met behulp van een schuifregister dus mogelijk, een serieel binnengekomen getal om te zetten in een parallel beschikbaar getal. Ook het omgekeerde is mogelijk: het getal gaat parallel het register in en wordt er vervolgens serieel uitgeklokt. Een volledig schema van een schuifregister is weergegeven in figuur 12.4-7. Het is niet nodig, dit voor het examen uit het hoofd te kennen!



Figuur 12.4-7 Serie naar parallel omzetter.

Opgaven

- Hoeveel 2-delers zijn minimaal nodig om een 14-deler te kunnen maken?
- Als een 3-, een 4- en een 5-deler beschikbaar zijn, wat is dan de hoogst bereikbare deelfactor?
- Hoe herkent men in een schema een flankgestuurde D-flipflop?
- Hoe zouden we een master-slave D-flipflop moeten schakelen om hem als tweedeler te kunnen laten werken?
- Het decimale getal 18 moet in binaire vorm in een register worden opgeslagen.
 - uit hoeveel flipflops moet dat register minimaal bestaan?
 - Hoeveel klokpulsen zijn er nodig voor de seriële invoer van het getal?
 - Hoeveel klokpulsen zijn er nodig voor de parallelinvoer van hetzelfde getal?
- In een serie-parallel register van 8 flipflops wordt het getal 7 ingevoerd. Bedenk een zeer eenvoudige manier om dat getal na invoer met 2 te vermenigvuldigen.

12.5 De fasevergrendelde lus (phase locked loop)

Eén van de problemen bij het maken van zenders is het verkrijgen van een stuurfrequentie van voldoende stabiliteit. We moeten op dit gebied tamelijk veeleisend zijn. De belangrijkste redenen hiervoor zijn namelijk dat we ervoor moeten zorgen dat:

- een tegenstation zijn ontvanger niet voortdurend hoeft te verstemmen;
- we niet ongemerkt als gevolg van verschuiving van onze zendfrequentie andere stations gaan storen.

Ook voor ontvangers is trouwens stabiliteit van het signaal van de lokale oscillator voor de mengtrap van groot belang. Anders zou voortdurend moeten worden bijgestemd. Om redelijk comfortabel te kunnen luisteren moet het frequentieverloop voor een enkelzijbandontvanger (en dus ook voor een EZB-zender!) bij voorkeur niet veel meer dan 100 Hz per 5 minuten bedragen. Deze eis aan het frequentieverloop is onafhankelijk van de gebruikte frequentie. Dat heeft consequenties. Voor 3,5 MHz (80 m) is de eis niet bijzonder extreem. Het gaat dan om 28 ppm (delen per miljoen; parts per million; 1 ppm = 0,0001%). Voor 144 MHz (2 meter dus) is dat nog maar 0,7 ppm en dat is, goed beschouwd, wél extreem. En dan spreken we nog maar niet over nóg hogere frequenties.

Voor hogere frequenties (VHF en hoger) is het dan ook erg moeilijk, met een vrijlopende, verstembare oscillator (VFO) een frequentie op te wekken van voldoende stabiliteit. Men heeft dan ook in de loop van de geschiedenis van de radio allerhande meer of minder succesvolle manieren bedacht om stabiele signalen op te wekken. Eén manier is de kristaloscillator. Hiermee kan zonder veel problemen een zeer stabiele frequentie worden opgewekt. Zoals we eerder zagen, is bij dit type oscillator de verstembaarheid erg klein. Om bijv. de 2-meterband te bestrijken zijn dan heel wat kristallen nodig en dat wordt een dure liefhebberij.

Als gevolg van de door de IC-techniek ontstane mogelijkheid, ingewikkelde schakelingen klein van omvang en betaalbaar te houden, is een alternatief ter beschikking gekomen. Dit alternatief kan de frequentiestabiliteit van de kristaloscillator en de verstembaarheid van de VFO in zich verenigen. Deze schakeling staat bekend onder de naam *frequentiesynthesizer* of kortweg *synthesizer*.

Synthesizers worden tegenwoordig opgebouwd met een zogenaamde fasevergrendelde lus. Vaak wordt ook de afkorting PLL van *Phase Locked Loop* gebruikt. De meeste PLL-schakelingen zijn digitaal opgebouwd. Dit maakt besturing met behulp van een (micro)computer mogelijk, alsmede luxe eigenschappen zoals geheugen- en scannerfuncties. De PLL bestaat zelf uit een aantal verschillende schakelingen. De belangrijkste van die schakelingen zullen we eerst bekijken, alvorens op de werking van het geheel in te gaan.

De afzonderlijke schakelingen in een PLL

Een PLL bevat minimaal de volgende deelschakelingen:

- 1) een referentie-oscillator (vrijwel steeds een kristaloscillator)
- 2) een fasevergelijker, ook wel phasedetector genoemd
- 3) een spanninggestuurde oscillator, meestal aangeduid met de afkorting VCO van "Voltage Controlled Oscillator"
- 4) een laagdoorlatend filter.

De functie van deze vier schakelingen is als volgt (het is in dit stadium nog niet nodig, de werking van het geheel te begrijpen!):

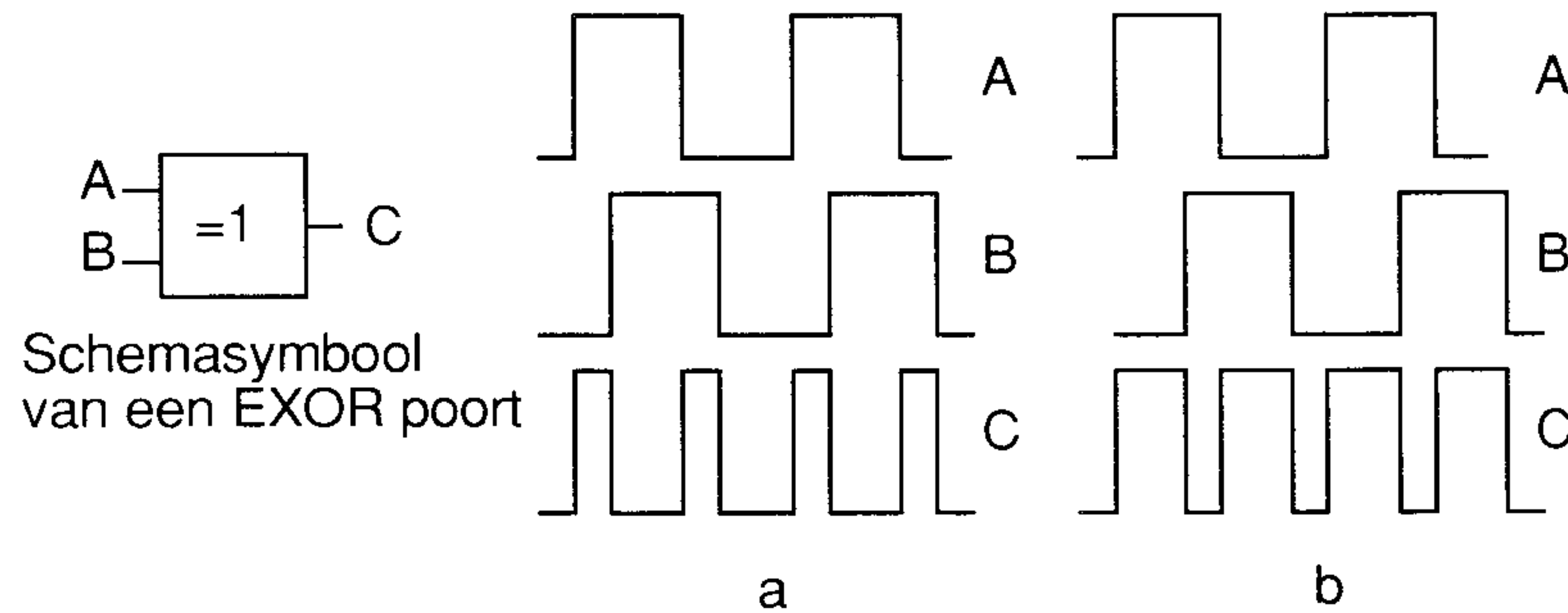
- 1) De referentie-oscillator produceert een zo constant mogelijke frequentie.
- 2) De VCO heeft een sturingang, waarop de regelspanning komt te staan, die de frequentie bepaalt. Een voorbeeld van een VCO is een oscillator met een capaciteitsdiode (varicap) als afstemelement (zie figuur 11.2-13). De oscillatiefrequentie hangt dan af van de spanning over de varicap. Een VCO in een complete PLL-schakeling in IC-vorm werkt anders, maar dat is in het verband van dit hoofdstuk van weinig belang. Het gaat om de werking van het geheel, niet om details. In zend-ontvangapparatuur wordt trouwens vrijwel steeds een losse VCO met varicap afstemming toegepast, zulks vooral in verband met de veel betere ruiseigenschappen van dit type schakeling.
- 3) De uitgangsfrequenties van VCO en referentie-oscillator worden beide toegevoerd aan de fasevergelijker. De fasevergelijker geeft onder andere een gelijkspanning af, die afhankelijk is van het faseverschil van de twee toegevoerde signalen. Als de frequenties van beide niet gelijk zijn, is er geen constant faseverschil. Dan produceert de fasevergelijker een wisselspanning, die de verschilfrequentie van beide ingangsfrequenties bevat.

Het nu volgende stuk over de werking van fasevergelijkers is géén examenstof. Het dient slechts voor een beter begrip van de werking van dit soort schakelingen. Bij dit gedeelte hoort ook figuur 12.5-1.

Een fasevergelijker kan worden gemaakt met poortschakelingen. De toegevoerde frequenties worden dan eerst omgezet in een blok golf die voor de poortschakeling afwisselend een 1 en een 0 vormt. De uitgang van de fasevergelijker is dan 1 als één ingang 1 en de andere 0 is. De uitgang van de fasevergelijker is 0 als beide ingangen gelijk zijn (dus beide 1 of beide 0). Zijn de ingangen in tegenfase en gelijk in frequentie, dan staat er steeds een 1 op de uitgang. Zijn ze precies in fase, dan is er steeds een 0. In tussenliggende situaties is er afwisselend een 0 en een 1, waarbij de verhouding van de tijdsduur van de 1 en de 0 afhangt van de mate waarin 1 en 0 van beide ingangssignalen niet, respectievelijk wél samenvallen. Als de perioden met 1 op de uitgang kort en de perioden met 0 lang duren, is de gemiddelde spanning op de uitgang laag, in het omgekeerde geval (relatief) hoog (ervan uitgaande, dat een 1 een hoge en een 0 een lage spanning vertegenwoordigt). Deze schakeling staat bekend onder de naam "exclusive or", EXOR of XOR.

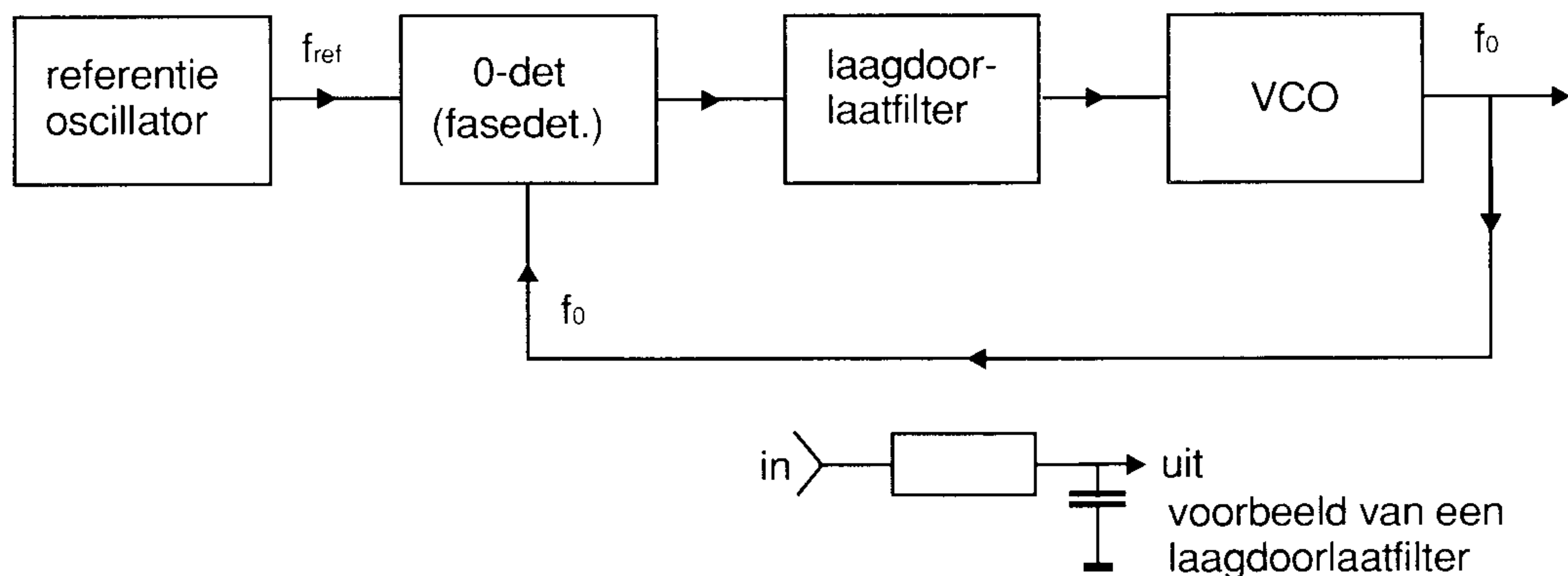
In booleaanse algebra :

$$C = A\bar{B} + \bar{A}B$$



Figuur 12.5-1 Een exclusive-OR (XOR) poort als fasevergelijker.

De EXOR-poort maakt geen onderdeel uit van de examenstof. Probeer er niettemin, bij wijze van oefening, een schema met poorten en een waarheidstabel voor te maken. In figuur 12.5-1 zijn de gebeurtenissen bij de fasevergelijker grafisch weergegeven. Daaruit blijkt, dat op de uitgang de somfrequentie van de ingangssignalen staat (in dit geval 2 maal de frequentie ingangsfrequentie, omdat we deze beide gelijk veronderstellen). In feite zijn de som- en verschilfrequentie aanwezig (de laatste in ons geval in de vorm van een gelijkspanning, want het frequentieverschil is 0). Precies als bij een gebalanceerde mengtrap. Laatstgenoemde schakeling kan daarom eveneens als fasevergelijker dienen. *Let wel:* de getekende spanningsvormen zijn géén zuivere wisselspanningen: de onderkant is ca. 0 V, de bovenkant een positieve spanning! Deze spanningen zijn dan ook te scheiden in een zuivere gelijkspanning (de verschilfrequentie) en een zuivere wisselspanning (de somfrequentie), dus precies als bij een gelijkgerichte wisselspanning in bijv. een voeding.



Figuur 12.5-2 Het principe schema van een PLL.

- 4) Het laagdoorlatend filter verwijdert uit het uitgangssignaal van de fasevergelijker zogoed mogelijk de somfrequentie en harmonischen (die er bij een dergelijke schakeling in ruime mate inzitten!). De werking is grotendeels vergelijkbaar met die van een afvlakfilter in een

voedingsschakeling. In een normaal werkende PLL-schakeling zijn de frequenties op de ingang van de fasevergelijker aan elkaar gelijk of ze verschillen (tijdelijk) heel weinig. In dat geval is het verschil tussen somfrequentie en andere mengproducten enerzijds en de verschil-frequentie anderzijds relatief (zeer) groot (als de verschilfrequentie 0 is, is het verschilsignaal een fase-afhankelijke gelijkspanning). Het filter kan daarom eenvoudig van opzet zijn. (moet in feite eenvoudig zijn) Meestal is het een RC-filter met weinig componenten, bijv. zoals aangegeven in figuur 12.5-2.

Het is zelfs niet mogelijk om een heel scherp lusfilter te gebruiken omdat dan de regellus van de PLL onstabiel zou worden. Verderop in dit hoofdstuk wordt dat verder uitgelegd.

De werking van een PLL

Nu de werking van het geheel. Daartoe beschouwen we figuur 12.5-2. Stel, dat de frequenties (niet de fasen) van VCO (f_o) en referentie-oscillator (f_{ref}) aan elkaar gelijk zijn. Beide worden toegevoerd aan de fase-detector. Deze laatste produceert dan een gelijkspanning die bepaald wordt door het faseverschil tussen f_o en f_{ref} . Tevens produceert de fase-detector de somfrequentie en eventueel nog een hoeveelheid harmonischen. Laatstgenoemde frequenties worden enigszins verwijderd door het laagdoorlaatfilter, zodat de gelijkspanning overblijft. Die gelijkspanning bepaalt de frequentie van de VCO.

Stel nu, dat de VCO iets in frequentie verloopt ten opzichte van de referentie-oscillator. De verschilfrequentie van f_o en f_{ref} is dan dus niet meer 0 en het faseverschil tussen beide is niet meer constant. Op de uitgang van het laagdoorlaatfilter zal daardoor een voortdurend veranderende spanning komen te staan. Deze spanningsverandering vertegenwoordigt de verschilfrequentie. De frequentie van de VCO zal dan met die veranderende spanning mee gaan variëren. Er zal dan een moment komen, dat VCO-frequentie en referentiefrequentie opnieuw aan elkaar gelijk zijn. Op dat moment produceert de fasevergelijker weer een constante spanning, omdat het frequentieverschil 0 is. De VCO verandert dan niet meer in frequentie. Als de VCO weer van frequentie verloopt, herhaalt zich het spelletje. De VCO wordt dus via de fasevergelijker vanzelf tot de orde geroepen. De schakeling vormt een lus, die de VCO-frequentie vergrendelt op de frequentie van de referentie-oscillator door middel van het faseverschil, dat voor de juiste spanning zorgt om de VCO in frequentie gelijk op te laten gaan met de referentie-oscillator. Vandaar de benaming "fase vergrendelde lus" of op zijn Engels: "Phase Locked Loop".

Op deze manier is het mogelijk, een oscillator met een betrekkelijk geringe frequentiestabiliteit (de VCO) in de pas te laten lopen met een andere oscillator die in dit geval een zeer goede frequentiestabiliteit heeft (de referentie-oscillator). In feite hebben we hier te maken met een tegengekoppelde schakeling. De tegenkoppelgrootte is hier echter niet stroom of spanning, maar frequentie. Bij analyse van een PLL is er dan ook een analogie met de operationele versterker: bij de opamp gaan we uit van

gelijke spanning op de beide versterkingen, bij de PLL van gelijke frequentie op de ingangen van de fasevergelijker.

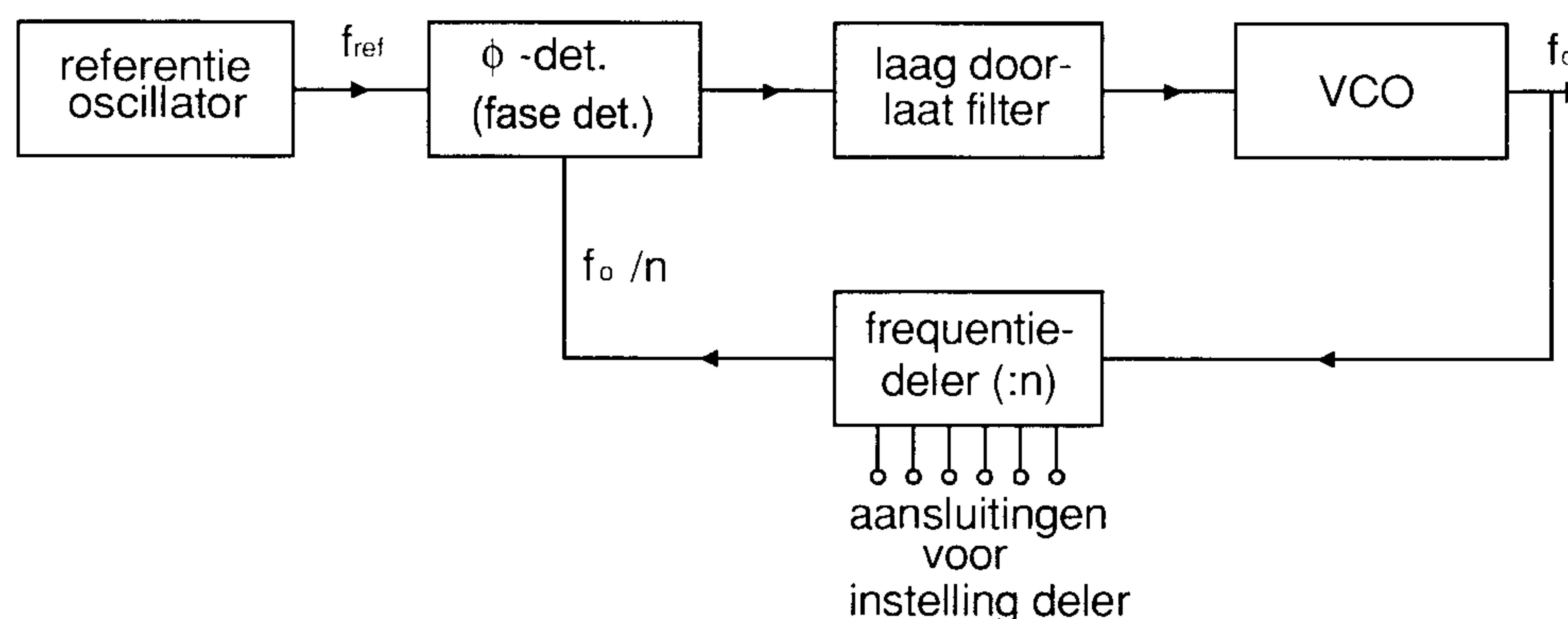
Net zoals de terugkoppeling een oscillator doet oscilleren, kan de terugkoppeling in een PLL voor oscillaties zorgen. Dit treedt op wanneer de lusversterking te groot is, of het lusfilter een te grote vertraging veroorzaakt (bijvoorbeeld doordat het meer dan een enkele RC-sectie bevat). Het oscilleren van de regellus uit zich in het op- en neer klappen van de regelspanning, en dus het heen en weer zwaaien van de VCO-frequentie.

Toepassingen van de PLL

Met de boven omschreven schakeling hebben we nog niet iets in handen dat veel praktisch nut heeft. Immers, de frequentie uit de VCO (f_o) is dezelfde als die van de referentie-oscillator (f_{ref}). Als laatstgenoemde oscillator een kristaloscillator is, hebben we nog steeds geen verstembare schakeling. Daar is echter wat op te vinden.

PLL met frequentiedeler

We schakelen tussen de VCO en de fase-detector een frequentiedeler (figuur 12.5-3). Laten we voor het gemak aannemen, dat het om een tiendeler gaat.



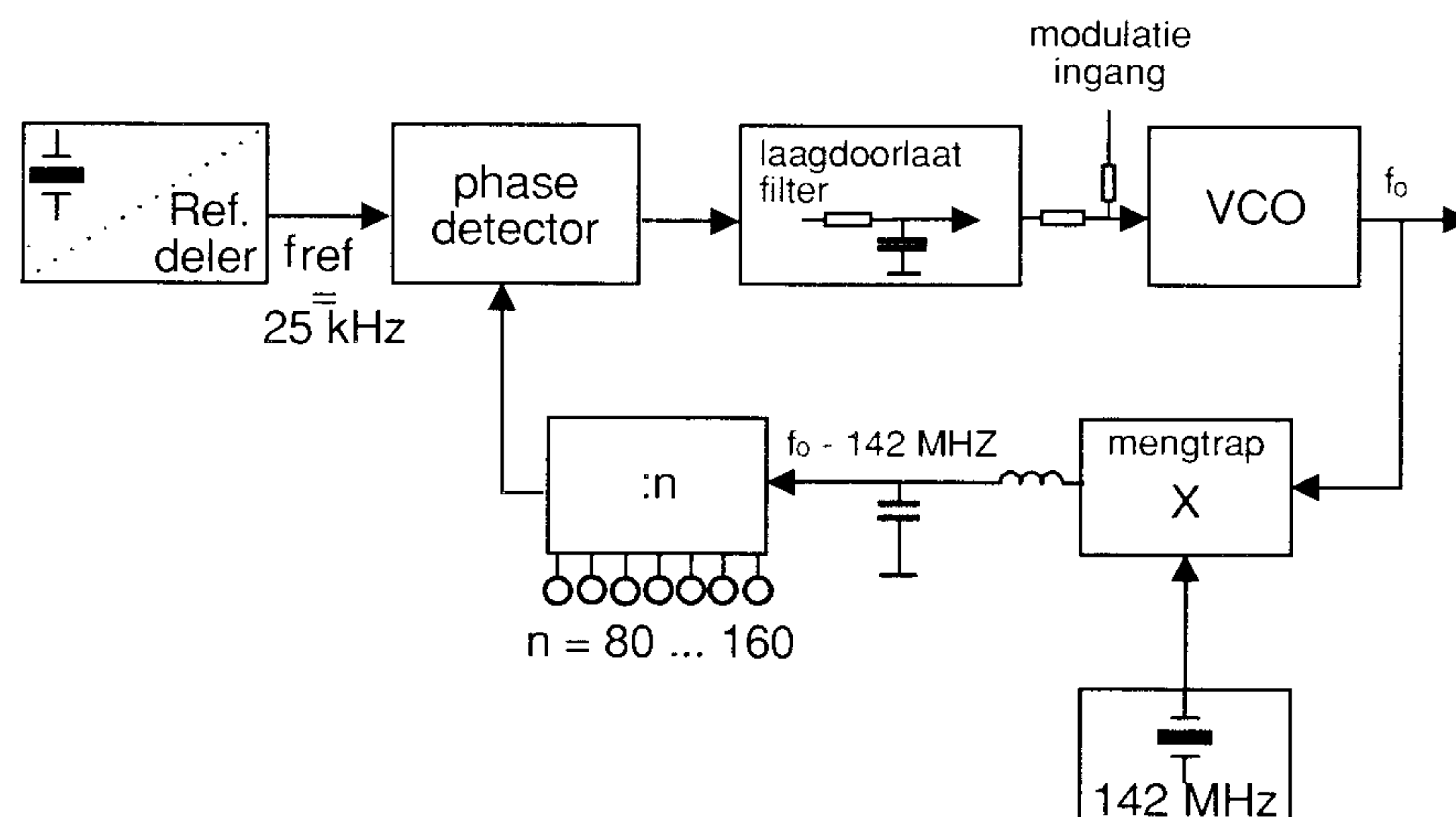
Figuur 12.5-3 PLL met een deler in de terugkoppelweg.

De frequentie op de uitgang van de deler is dan 10 maal zo laag als de frequentie op de ingang van die deler. De ingangsfrequentie van de 10-deler komt uit de VCO. Die moet natuurlijk wel voldoende amplitude hebben om de tiendeler afwisselend 0 en 1 op zijn ingang te laten zien. Als dat niet zo is, dan moet er een schakeling tussen worden gezet dat voor de juiste spanningen zorgt. De uitgangsfrequentie van de 10-deler ($f_o/10$) gaat naar de fase-detector. Zoals we eerder zagen, zijn de frequenties op de ingangen van de fasevergelijker gelijk als de PLL lockt. Om op de uitgang van de 10-deler dezelfde frequentie te krijgen als f_{ref} , moet op de ingang van die deler een 10 maal zo hoge frequentie staan! Conclusie:

- De frequentie van de referentie-oscillator staat, door de aanwezigheid van een tiendeler in de lus, met tien *vermenigvuldigd* op de uitgang van de VCO!

- Als we nu in plaats van een tiendeler een deler nemen met een instelbaar deeltal, dan hebben we een instelbare frequentie op de uitgang van de VCO. Daarmee hebben we een afstembare schakeling verkregen.

Stel dat de referentie-oscillator een f_{ref} van 100 kHz afgeeft en de deler instelbaar is van 1 tot 16, dan kan onze oscillator 16 frequenties afgeven van 100 t/m 1600 kHz in stappen van 100 kHz (mits de VCO zich over zulk een groot gebied laat verstemmen). In theorie is het mogelijk, met een stabiele oscillator van bijv. 10 Hz de uitgangsfrequentie van een VCO met stapjes van dezelfde grootte, 10 Hz dus, te verstemmen. Deze schakeling is bijvoorbeeld te maken met een kristaloscillator op 1MHz, gevolgd door een 100.000-deler. In werkelijkheid komt daar niets van terecht, onder andere omdat het punt, waarbij het filter hogere frequenties merkbaar begint te verzwakken vèr beneden de 10 Hz moet liggen. Daardoor wordt de frequentieregeling buitengewoon traag. Bovendien wordt, als gevolg van het feit dat de bandbreedte van de VCO-ruis groter is dan de bandbreedte van het laagdoorlatend filter, die ruis door het regelsysteem te weinig onderdrukt (dit laatste is géén examenstof!).



Figuur 12.5-4 PLL met een instelbare deler (freesynthesizer).

In de praktijk zijn PLL-schakelingen daarom in het algemeen ingewikkelder van opbouw dan ons voorbeeld met de eenvoudige instelbare 16-deler. Zulke, meer ingewikkelde, schakelingen maken het mogelijk zendontvangers met een PLL te maken voor brede frequentiebanden met hoge frequenties, zoals de 2 meterband, terwijl ze toch in betrekkelijk kleine stapjes (van bijv. 100 Hz) te verstemmen zijn. Dergelijke schakelingen bevatten ook middelen om de VCO-frequentie zeer snel in te vangen, sneller althans dan bij de hierboven omschreven schakeling mogelijk is. Kennis van deze meer ingewikkelde schakelingen wordt op het zendexamen echter niet gevraagd en valt daarom buiten het bestek van deze cursus. Wel behandelen we hierna nog enkele PLL-schakelingen die met eenvoudige middelen toch een behoorlijke afstembereik hebben. Een PLL-schakeling die een instelbare frequentie opwekt heet ook wel een synthesizer, omdat de te leveren frequentie via een schakeling wordt samengesteld, gesynthetiseerd.

PLL met mengschakeling

In plaats van (of in combinatie met) een frequentiedeler ook een mengschakeling in de PLL worden opgenomen. Een blokschema van een PLL met mengtrap is weergegeven in figuur 12.5-4.

De mengtrap ontvangt behalve de VCO-frequentie nog een andere frequentie. Die frequentie is dan afkomstig van een stabiele kristaloscillator en is ongelijk aan de VCO-frequentie, maar ligt er ook niet al te ver vanaf. We zouden kunnen uitgaan van een VCO-frequentie van 144-146 MHz (de 2-meterband) en een kristalfrequentie van 142 MHz. Laatstgenoemde frequentie zal meestal worden verkregen door frequentievermenigvuldiging.

De VCO-frequentie en de frequentie van 142 MHz leveren na de mengtrap een verschilfrequentie van 2-4 MHz. Somfrequenties en andere ongewenste mengproducten, alsmede de twee oorspronkelijke frequenties worden verwijderd door het LC-filter op de uitgang van de mengtrap, zodat alleen de 2-4 MHz overblijft.

Vervolgens wordt de frequentie gedeeld door een deler met een instelbare deelfactor van 80-160. Deze deler kan van een goedkoop type zijn, omdat de te delen frequentie betrekkelijk laag is (dit is een belangrijke reden voor de toepassing van dit soort schakelingen). De gedeelde frequentie wordt toegevoerd aan de fasevergelijker, samen met een 25 kHz-frequentie. Deze laatste kan bijvoorbeeld afkomstig zijn uit een 2,56 MHz oscillator die gevolgd wordt door een 10-traps deler (dus met 10 flipflops), die derhalve deelt door $2^{10} = 1024$. De uit de frequentiedeler afkomstige frequentie moet dus eveneens 25 kHz zijn, anders vergrendelt de schakeling niet en zal f_o net zolang veranderen tot de frequentie op de deleruitgang wèl 25 kHz is en de frequentie wordt ingevangen. Dus geldt (frequenties in MHz):

$$f_o = n \cdot f_{ref} + 142 \quad \text{met } n=80..160$$

De beschreven PLL-schakeling produceert nu frequenties met stappen van 25 kHz (we noemen dat ook wel een 25 kHz raster) voor de totale 2 meterband. Eventueel kan voor FM-opwekking een LF-signaal aan de VCO-regelspanning worden toegevoegd (modulatie-ingang in figuur 12.5-4).

Een belangrijk aspect van de PLL schakeling dat vaak over het hoofd wordt gezien is het feit dat het filter in de regelleiding van de VCO niet ideaal is. Hoewel het filter hogere frequenties wel vermindert blijft er altijd een restje over. Aangezien de meeste fasevergelijkers als een soort gebalanceerde mengtrap werken, geven ze behalve een verschilfrequentie ook een somfrequentie aan de uitgang. Deze frequentie komt ook nog een beetje door het lusfilter heen en zal vervolgens de VCO in frequentie moduleren. Zoals we in het hoofdstuk over modulatie gelezen hebben, veroorzaakt frequentiemodulatie een hele reeks van zijbanden.

Wanneer het storende signaal op de VCO regelspanning erg klein is, dan zal slechts de eerste zijband relevant zijn. We kunnen nu dus stellen dat een PLL met een referentiefrequentie van 25 kHz een stoorspanning van 50 kHz

op de VCO regelspanning zal hebben. Met als gevolg dat er een ongewenste zijband op 50 kHz van het gewenste signaal ontstaat. Deze ongewenste zijband valt precies in een naburig kanaal. Het oplossen van dit probleem is niet eenvoudig en wordt hier ook verder niet behandeld. Het hier beschreven probleem is wel de oorzaak van het feit dat vooral de oudere ontwerpen synthesizers weliswaar goed stabiel zijn, maar geen bijzonder schoon uitgangsspectrum hebben.

Opgaven

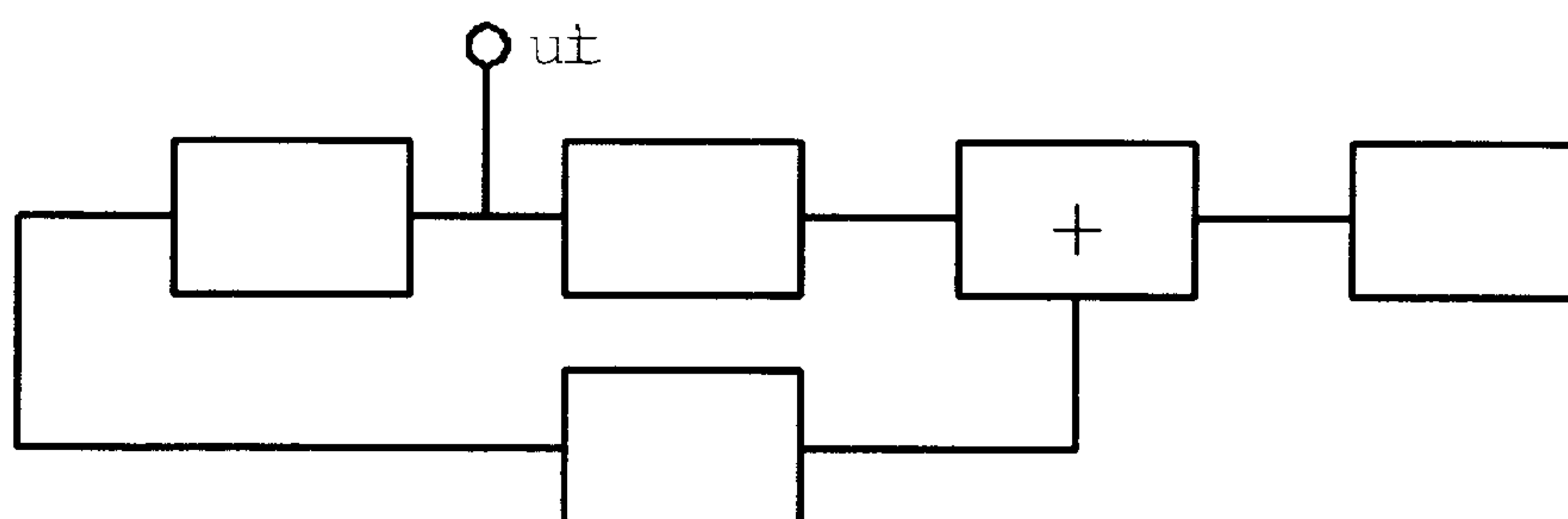
Bij de analyse van PLL-schema's moet steeds het uitgangspunt zijn, dat de frequenties op beide ingangen van de fasevergelijker (fasedetector) gelijk zijn. Door terugrekenen vanaf dat punt zijn de frequenties in de rest van de schakeling te vinden.

- Stel dat in figuur 12.5-2 f_{ref} 1 MHz bedraagt en de schakeling in ingevangen toestand verkeert. Welke frequentie(s) zal men aantreffen
 - Tussen fasevergelijker en laagdoorlaatfilter?
 - tussen laagdoorlaatfilter en VCO?
- Als in figuur 12.5-2 de VCO-frequentie temperatuurafhankelijk is en de schakeling na het inschakelen langzaam warm wordt, wat gebeurt er dan met de spanning tussen laagdoorlaatfilter en de VCO?
- Hoe groot is in figuur 12.5-4 f_o als de deler staat ingesteld op een deelfactor van 100? En van 120?

12.6 Vragen

Vraag 1

Van een faseregellus is het met een + aangegeven onderdeel de:



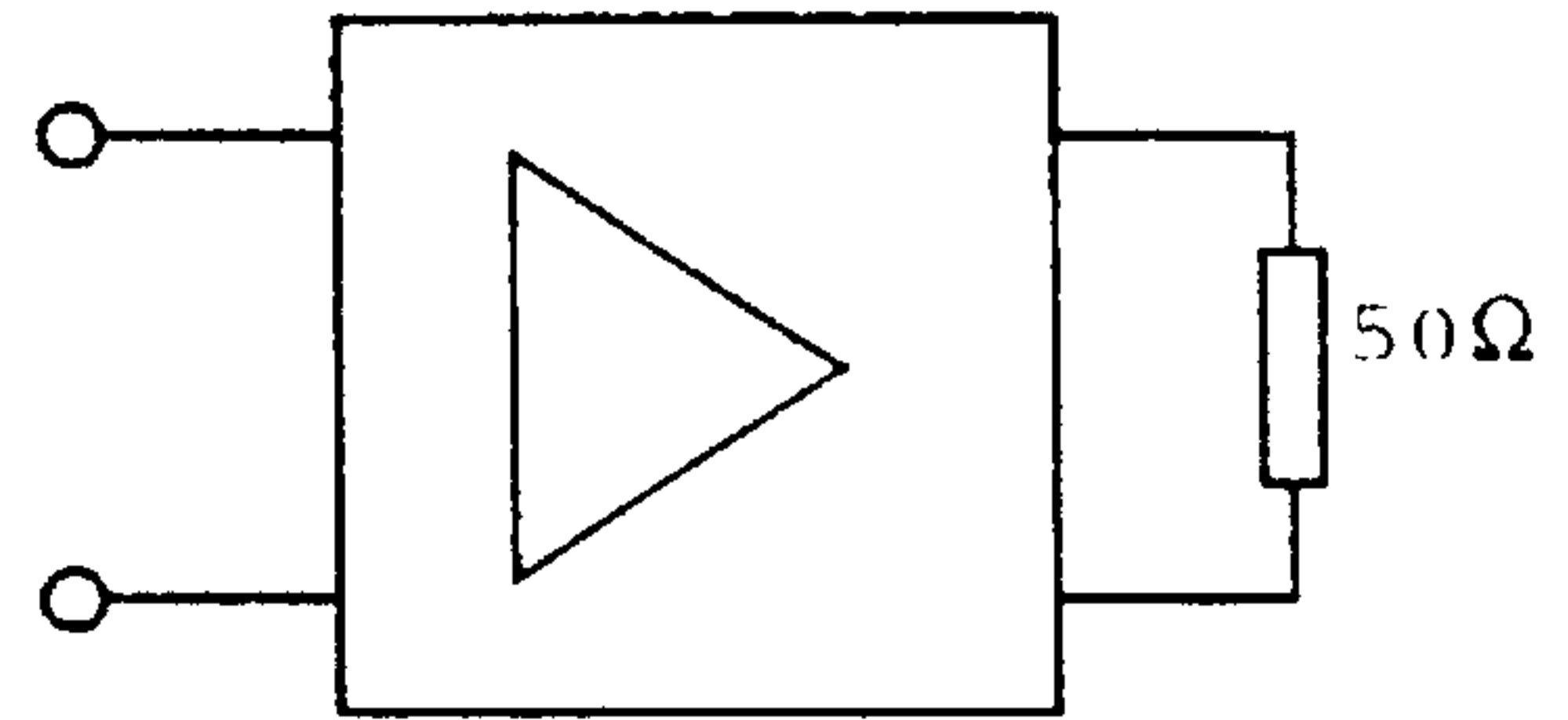
- spanningsgeregelde oscillator
- programmeerbare deler
- fasevergelijker
- referentie oscillator

Vraag 2

De versterker heeft een spanningsversterking van 8 maal en de ingangsweerstand is 50 ohm.

De vermogensversterking is:

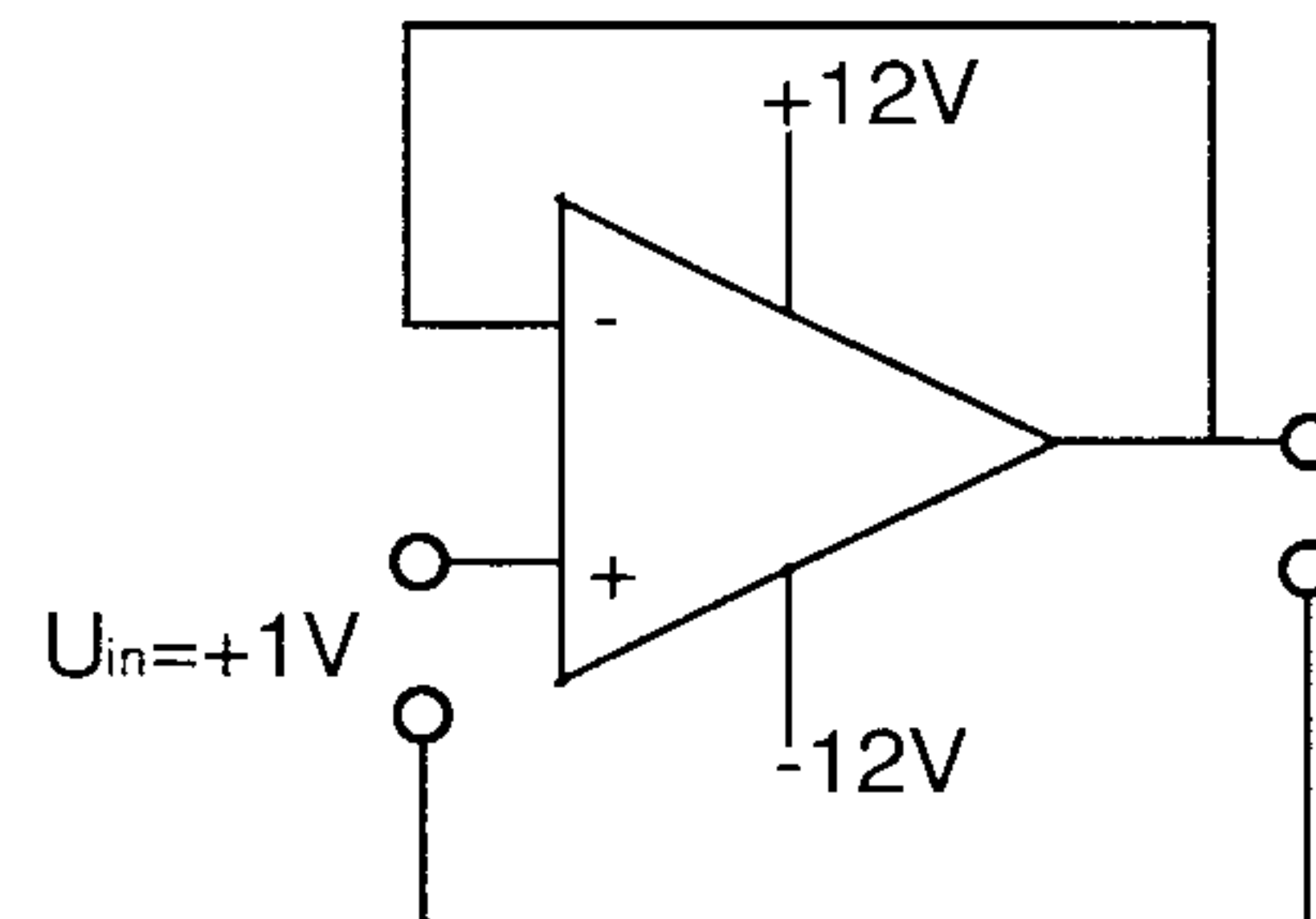
- A. 8 maal
- B. 8^2 maal
- C. 64 maal
- D. 400 maal



Vraag 3

De uitgangsspanning is:

- A. -1 volt
- B. 0 volt
- C. +1 volt
- D. +12 volt

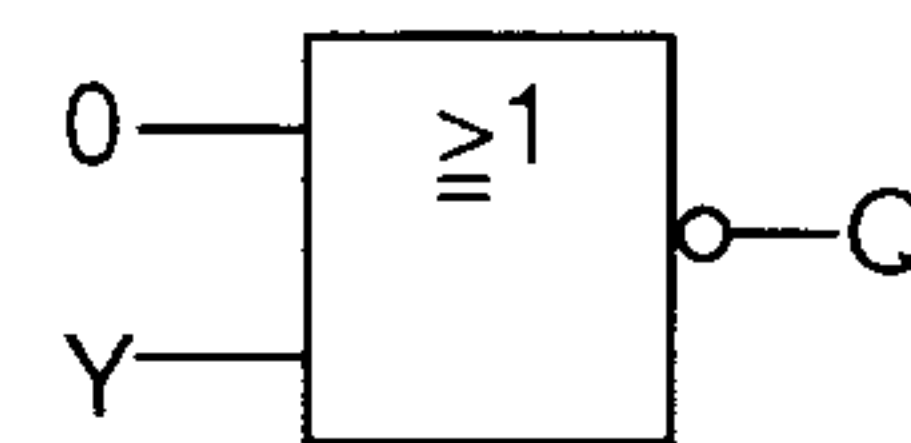


Vraag 4

Ingang Y gaat over van 0 naar 1.

De uitgang Q:

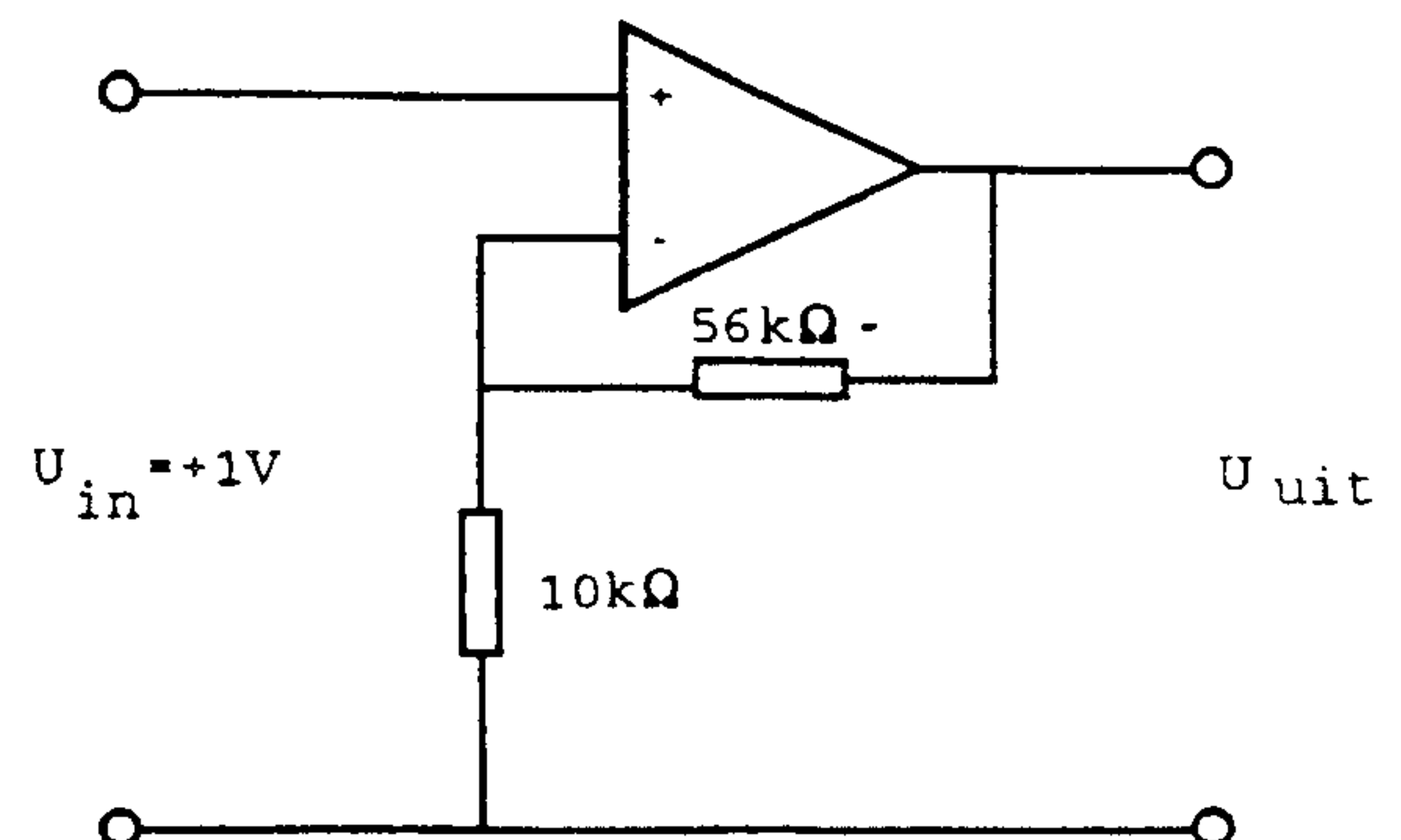
- A. blijft 0
- B. gaat van 0 naar 1
- C. blijft 1
- D. gaat van 1 naar 0



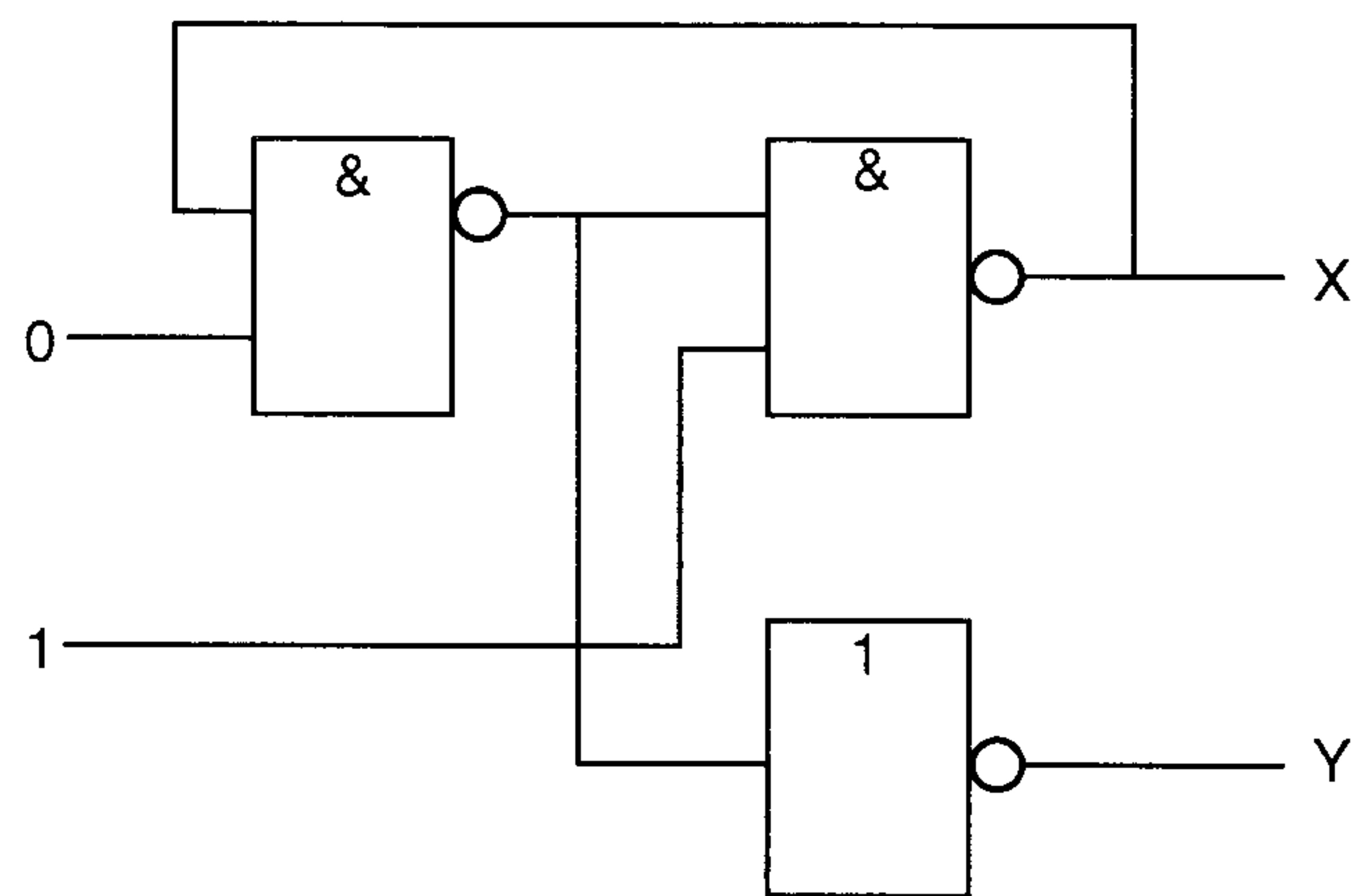
Vraag 5

De uitgangsspanning U_{uit} is:

- A. +6,6 volt
- B. +1 volt
- C. -1 volt
- D. -5,6 volt



Vraag 6



Juist is:

- A. $X = 0$ en $Y = 0$
- B. $X = 0$ en $Y = 1$
- C. $X = 1$ en $Y = 0$
- D. $X = 1$ en $Y = 1$